

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**This Page Blank (uspto)**

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001 年 6 月 14 日 (14.06.2001)

PCT

(10) 国際公開番号  
WO 01/42893 A1

(51) 国際特許分類<sup>7</sup>: G06F 3/00, 13/00, 13/16, H01L 25/04

(21) 国際出願番号: PCT/JP99/06940

(22) 国際出願日: 1999 年 12 月 10 日 (10.12.1999)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目 6 番地 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 杉田憲彦 (SUGITA, Norihiko) [JP/JP]. 菊池隆文 (KIKUCHI, Takafumi) [JP/JP]. 宮下公一 (MIYASHITA, Kouichi)

[JP/JP]. 池上 光 (IKEGAMI, Hikaru) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目 20 番 1 号 株式会社日立製作所 半導体グループ内 Tokyo (JP).

(74) 代理人: 玉村静世 (TAMAMURA, Shizuyo); 〒271-0092 千葉県松戸市松戸 1333 番地 1 コスモ松戸ステーションスクエア 209 号 Chiba (JP).

(81) 指定国 (国内): CN, JP, KR, SG, US.

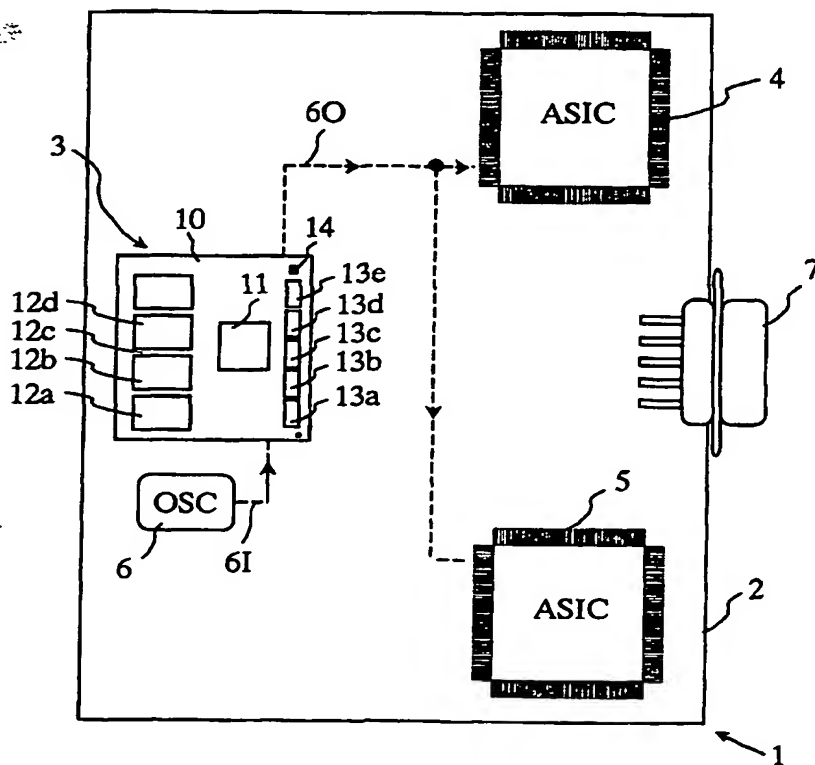
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類:  
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR MODULE

(54) 発明の名称: 半導体モジュール



(57) Abstract: A multi-chip module (3) is constituted by mounting high-speed operation circuits, such as a data processor bear chip (11) and memory bear chips (12a to 12d), constituting an electronic circuit (1) on a multilayer wiring board (10). The multi-chip module (3) is mounted on a wiring board (2) constituting an electronic circuit (1). In such a multi-chip module, buffer circuits (13a to 13e, 14) are inserted in an in-module bus for common connection between the data processor and memory chips. The buffer circuits are data input/output buffers which are brought into high-impedance states in response to selection of operation of an address output buffer, a control signal output buffer, and the memory chip. Even though the resistance to high-frequency noise is enhanced by the use of the multilayer wiring board, external noise tends to enter the memory through the in-module bus interconnecting the data processor chip and the memory chip when the data processor chip makes an access to the memory chip. However, the buffer circuits block entry of such external noise and prevent the memory data from being destroyed because of high-frequency noise during the memory access.

[続葉有]

WO 01/42893 A1



---

(57) 要約:

電子回路 1 を構成するデータプロセッサチップ 1 1 及びメモリチップ 1 2 a ~ 1 2 d 等の高速動作回路を、ペアチップの状態が多層配線基板 1 0 に実装してマルチチップモジュール 3 とし、これを、電子回路 1 を構成する配線基板 2 に搭載する。マルチチップモジュールにおいて、データプロセッサチップとメモリチップとが共通接続されるモジュール内バスにバッファ回路 1 3 a ~ 1 3 e、1 4 を挿入する。バッファ回路は、アドレス出力バッファ、制御信号出力バッファ、及び前記メモリチップの動作選択に呼応して高インピーダンス状態にされるデータ入出力バッファとされる。多層配線基板により耐高周波ノイズ特性が強化されていても、データプロセッサチップがメモリチップをアクセスするとき、それらが接続するモジュール内バスを介して外来ノイズがメモリに流入しようとするが、バッファ回路はそのような外来ノイズの流入を抑制し、メモリアクセス動作中における高周波ノイズによるメモリデータの破壊を防止する。

## 明 細 書

## 半導体モジュール

## 5 技術分野

本発明は、複数個の半導体集積回路チップを搭載した半導体モジュールに関し、例えば多層配線基板にデータプロセッサチップとメモリチップとを搭載したマルチチップモジュールに適用して有効な技術に関する。

10

## 背景技術

画像処理などを行う電子回路はマイクロプロセッサ若しくはマイクロコンピュータなどと称されるデータプロセッサと共に、それらによってアクセスされるシンクロナスDRAM(以下SDRAM)等に代表される高速動作メモリから構成される場合が多い。昨今のSDRAMは

15 “PC100”、“PC133”等の規格に代表される100MHz動作や、133MHz動作など、ますます高速動作をすることが要求される。電子回路がその種の高速動作メモリを含むことなどによって、高速動作をせざるを得なくなってくると、それに応じて高周波ノイズ対策も

20 重要となってくる。SDRAMやデータプロセッサを搭載するプリント基板(Printed Circuit Board、以下PCB)は、応々にして無視し得ない高周波ノイズ源となることがある。そこで、プリント基板に対して、例えば、電源ラインの高周波インピーダンスを低下させたり、シールドフレームで取り囲んだり、電源ラインに工夫をして等価静電容量を大きくしたり、更には多層配線構造を採用したりすることが検討される。

25

しかしながら、所望する性能のプリント基板を形成することには困難

が伴い、また、プリント基板全体を多層配線構造にするとプリント基板の製造コストが極端に大きくなってしまう。

加えて、本発明者等は、高速動作する回路部分の高周波ノイズ対策、そして多層配線基板にマイクロプロセッサなどの複数種類のLSIを実装する技術については、更に検討の余地のあることを明らかにした。

第1に、メモリの高速動作中の高周波ノイズによってメモリデータが破壊されてしまうことを十分に防止することである。1つの考慮された技術は、マイクロプロセッサ、I/Oポート、ランダムアクセスメモリ等の高速動作回路を多層配線基板に設け、その多層配線基板をマザーボードのようなプリント基板に実装する技術である。この技術では多層配線基板によって高速動作回路のある程度の良好な動作が期待可能となる。しかしながら、その構成によっても、メモリやマイクロプロセッサが接続するバスを介して高周波によるノイズが流入すると、アクセス動作中のメモリのリードデータ又はライトデータがバス上で不所望に変化してしまう。

第2に、デバイスの搭載レイアウト、外部接続電極の機能割り当てに対する考慮にある。すなわち、メモリやマイクロプロセッサが接続するモジュール内バス等を介して流入する外来ノイズによると、アクセス動作中のメモリのリードデータ又はライトデータに対する影響は小さいことが望まれる。そのためには、数種類のデバイスに対するモジュール基板への搭載レイアウトが考慮され、また、モジュール基板の外部接続電極の機能割り当てが考慮されることが望ましい。

第3に、前記数種類のデバイスに対するモジュール基板への搭載レイアウトを決定するとき、半導体モジュールの歩留まりや信頼性が低下しないように、多層配線基板にデバイスを搭載して組み立てる工程数を少なくすることが必要である。

本発明の目的は、メモリアクセス動作中の高周波ノイズによってメモリデータが破壊されてしまうことを防止することができる半導体モジュール、そして当該半導体モジュールをマザーボードに実装した電子回路を提供することにある。

- 5      本発明の別の目的は、データプロセッサチップ及びメモリチップ等の高速動作回路を多層配線基板に設け、その多層配線基板をマザーボードのようなプリント基板に実装しても、データプロセッサチップがメモリチップをアクセスするとき、それらが接続するモジュール内バスを介して外来ノイズがメモリに流入し難い半導体モジュール、更には電子回路
- 10      を提供することにある。

本発明の更に別の目的は、アクセス動作中のメモリのリードデータ又はライトデータがモジュール内バス上で不所望に変化し難い半導体モジュールを提供することにある。

- 15      本発明の他の目的は、数種類の半導体集積回路チップに対するモジュール基板への搭載レイアウトの点で外来ノイズによる影響を緩和できる半導体モジュールを提供することにある。

本発明の他の目的は、数種類の半導体集積回路チップが搭載されるモジュール基板の外部接続電極の機能割り当ての点で外来ノイズによる影響を緩和できる半導体モジュールを提供することにある。

- 20      本発明のその他の目的は、数種類の半導体集積回路チップをモジュール基板に搭載して組み立てる工程数を少なくすることによって歩留まりや信頼性の向上に寄与することができる半導体モジュールを提供することにある。

- 25      本発明の更に他の目的は、高周波ノイズを抑えて高速動作が可能であって、高い耐外来雑音性能を有し、高い信頼性を備え、それらを比較的低いコストで実現可能なマルチチップモジュールのような半導体モジ

ジュールを提供することにある。

本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の記述と添付図面から明らかにされるであろう。

5 本発明者等は本発明を完成した後に、以下のような公知例のあることを知った。

1 つは、特開平 1 - 2 2 0 4 9 8 号公報であり、同公報には、マイクロプロセッサとアイオー (I/O) ポートとの間を接続するバスラインからは高周波ノイズが放射され易く、少なくともこの部分を多層基板上に配置することによって大きなコスト上昇を防止しつつ、十分なノイズ  
10 低減効果を得られるようにした発明が開示されている。そして、ランダムアクセスメモリも共にその多層基板上に搭載すれば最も高周波ノイズを発生し易い部分が大部分多層基板上に搭載されることになる、と述べられている。

他の 1 つは、特開平 5 - 3 3 5 3 6 4 号公報であり、同公報には、マイクロプロセッサ L S I をベア実装する領域の周囲にメモリ L S I を  
15 搭載する領域を設けた多層配線基板に関する発明が記載されている。

しかしながらそれらの公知例には、前述したような更に検討の余地のある点について何も言及されていない。

## 20 発明の開示

### 《耐ノイズ性能強化用バッファ》

本発明の第 1 の観点による半導体モジュールは、複数個の外部接続電極と前記複数個の外部接続電極に接続可能な複数層の配線層とを有するモジュール基板に、データプロセッサチップと、メモリチップと、ス  
25 イッチ回路とみなすことができるバッファ回路とが設けられる。前記データプロセッサチップとメモリチップは前記配線層によって形成され



るモジュール内バスに共通接続される。前記バッファ回路は、前記モジュール内バスに挿入され、前記データプロセッサチップによるメモリチップのアクセスに際して前記モジュール内バスに接続する外部接続電極からの入力を遮断する。

- 5      上記によれば、メモリアクセス動作中における高周波ノイズによるメモリデータの破壊を防止することができる。

前記バッファ回路は、例えば、前記外部接続電極に向けてアドレス信号を出力するアドレス出力バッファ、前記外部接続電極に向けてアクセス制御信号を出力する制御信号出力バッファ、及び前記メモリチップの動作選択に呼応して高インピーダンス状態にされるデータ入出力バッファである。アドレス出力バッファ及び制御信号出力バッファは常時信号入力を抑止しているから、それを介するノイズの流入はない。データ入出力バッファにおける常識的なデータの方向制御はデータプロセッサのリード動作で入力、ライト動作で出力であるが、本発明では前記メモリチップの動作選択に応答して高インピーダンス状態に制御するから、データプロセッサチップがメモリチップをアクセスするとき、それらが接続するモジュール内バスを介して外来ノイズがメモリに流入し難く、メモリアクセス動作中における高周波ノイズによるメモリデータの破壊を抑止可能になる。

10

15

- 20      また、前記バッファ回路は、アドレス入出力バッファ、制御信号入出力バッファ、及びデータ入出力バッファであってもよく、その場合には、それら入出力バッファは前記メモリチップの動作選択に呼応して高インピーダンス状態にされる。メモリチップの動作選択に応答して高インピーダンス状態に制御するから、データプロセッサチップがメモリチップをアクセスするとき、それらが接続するモジュール内バスを介して外来ノイズがメモリに流入し難く、メモリアクセス動作中における高周波
- 25

ノイズによるメモリデータの破壊を抑止可能になる。

前記モジュール基板は、高周波ノイズの抑制という観点からすれば、電源配線パターンやグランド配線パターンを全面一様に導体層としたベタパターンとする構造等によって信号パターンと電源パターン若しくはグランドパターンとの間の等価静電容量を大きく且つ回路全体に亘って均一に採ることができる多層配線構造にすることが得策である。このとき、その多層配線構造として、複数の配線層を有するベース層と、前記ベース層の表裏に夫々同じ層数の配線層が積み重ねられたビルドアップ層とによる構造を採用すれば、モジュール基板の反りを良好に防止できる。

前記多層配線基板により耐高周波ノイズ特性が強化されていても、データプロセッサチップがメモリチップをアクセスするとき、それらが接続するモジュール内バスを介して外来ノイズがメモリに流入しようとするが、バッファ回路はそのような外来ノイズの流入を抑制し、メモリアクセス動作中における高周波ノイズによるメモリデータの破壊を防止する。

#### 《耐ノイズ性能強化レイアウト》

本発明の第2の観点によるマルチチップモジュールは、複数層の配線層を有するモジュール基板の一方の面には前記配線層に接続された多数の外部接続電極が配列され、モジュール基板の他方の面には前記配線層に接続されていて複数個の半導体集積回路チップを実装する実装パッドが配置されている。前記実装パッドは、相対的に高速動作可能な複数個の半導体集積回路チップの実装パッドの領域と、相対的に動作速度の遅い複数個の半導体集積回路チップの実装パッドの領域とが分離されている。

モジュール基板上で高速動作領域と低速動作領域とを分離すれば、モ

ジュール基板の裏面に配置される外部接続電極の機能を、高速動作領域の回路特性と低速動作領域の回路特性との相違に応じて決定することが可能になる。

5       例えば、アドレスやデータに割当てられる外部接続電極を、前記相対的に動作速度の遅い複数個の半導体集積回路チップが搭載される領域の裏面に配置する。マルチチップモジュールの動作上アドレスやデータの入出力動作は高速に且つ頻繁に行われるから、そのような信号変化の頻繁な部分で発生するノイズの影響を高速動作領域の回路が受けることを緩和することができる。

10       また、前記相対的に動作速度の速い複数個の半導体集積回路チップが搭載される領域の裏面には電源電圧及びグランド電圧の供給に割当てられる外部接続電極を相対的に多く配置することができる。電源供給用の外部接続端子が相対的に多ければ、信号入出力用に割当てられる外部接続電極が相対的に少なくなるから、外来ノイズの影響を高速動作領域  
15       の回路が受けることを緩和することができる。

      外来ノイズ流入緩和レイアウトの別の観点によるマルチチップモジュールは、複数層の配線層を有するモジュール基板の一方の面に前記配線層に接続された多数の外部接続電極が配列され、モジュール基板の他方の面には前記配線層に接続されたデータプロセッサチップ、メモリチップ、及びバッファ回路が設けられている。前記モジュール基板のほぼ  
20       中央にデータプロセッサチップが配置され、前記データプロセッサチップを挟んで、一方に複数個のメモリチップが、他方に複数個のバッファ回路が並列配置されている。これによれば、データプロセッサチップ及びメモリチップは比較的高速に若しくは頻繁に動作され、これに比べて  
25       前記バッファ回路は比較的低速で動作され若しくは動作頻度が比較的低い。このレイアウトによれば、上記同様、高速動作領域と低速動作領

域とが分離される。

5 外来ノイズ流入緩和レイアウトの更に別の観点によるマルチチップモジュールは、複数層の配線層を有するモジュール基板の一方の面には前記配線層に接続された多数の外部接続電極が配列され、モジュール基板の他方の面には前記配線層に接続された実装パッドを介してデータ  
10 プロセッサチップ、メモリチップ、及びバッファ回路が設けられている。アドレスやデータの入出力に対応される外部接続電極は前記バッファ回路が搭載される領域の裏面に配置されている。これにより、アドレスやデータの入出力のような信号変化の頻繁な外部接続電極部分を、データ  
15 プロセッサチップ及びメモリチップのような高速動作部分から遠ざけることができる。

15 外来ノイズ流入緩和レイアウトの更に別の観点によるマルチチップモジュールは、複数層の配線層を有するモジュール基板の一方の面には前記配線層に接続された多数の外部接続電極が配列され、モジュール基板の他方の面には前記配線層に接続された実装パッドを介してデータ  
20 プロセッサチップ、メモリチップ、及びバッファ回路が設けられている。前記メモリチップが搭載される領域の裏面には電源電圧及びグランド電圧の供給に割当てられる外部接続電極が相対的に多く配置されている。これにより、上記同様に、アドレス出力及びデータ入出力のような  
25 信号変化の頻繁な外部接続電極部分を、データプロセッサチップ及びメモリチップのような高速動作部分から遠ざけることができる。

25 外来ノイズ流入緩和レイアウトの更に別の観点によるマルチチップモジュールは、複数層の配線層を有するモジュール基板の一方の面には前記配線層に接続された多数の外部接続電極が配列され、モジュール基板の他方の面には前記配線層に接続された実装パッドを介して複数種類  
の半導体集積回路チップが設けられている。前記電源電圧及びグラン

ド電圧の供給に割当てられる動作電源用の外部接続電極の配置にはモジュール基板上で粗密があり、電力消費の大きな半導体集積回路チップの裏面ほど前記動作電源用に割当てられた外部接続電極が密に配置されている。半導体集積回路チップにおける内部回路の充放電動作は、一般的には高速且つ頻繁に行われる程、電力消費も多くなるという相関がある。したがて、この観点に着目すれば、電力消費の大きな半導体集積回路チップの裏面ほど前記動作電源用に割当てられた外部接続電極を密に配置すれば、アドレス出力及びデータ入出力のような信号変化の頻繁な外部接続電極部分は相対的に低速動作部分よりも高速動作部分から遠ざけられることになる。

#### 《組み立て工程数低減》

組み立て工数低減の観点による半導体モジュールは、一方の面に複数個の外部接続電極が配列されたモジュール基板の他方の面に実装パターンが形成され、前記実装パターンは、高さ寸法がほぼ等しい半導体集積回路チップのグループ毎にそれら半導体集積回路チップを一行に並べて実装可能なグループ化されたパターンを有する。前記グループ化されたパターン毎に貼り付けられた異方導電性フィルムを介して実装パターンと半導体集積回路チップの bumps 電極とが導電接続されている。高さ寸法がほぼ等しい半導体集積回路チップのグループ毎に異方導電性フィルムを貼り付け可能な実装パターンを採用するから、そのグループ毎に 1 枚の異方導電性フィルムを貼り付けて、また、そのグループ毎に複数個の半導体集積回路チップを一括して異方導電性フィルムに圧着加熱することができ、この点において、数種類の半導体集積回路チップをモジュール基板に搭載して組み立てる工程数を少なくすることができる。これにより、半導体モジュールの歩留まりや信頼性の向上に寄与することができる。また、マルチチップモジュールのコストも低減す

る。

#### 《アドレス遅延低減配線》

メモリチップへのアドレス入力タイミングを揃える観点に着目した半導体モジュールは、配線層を有するモジュール基板の一方の面には前記配線層に接続された多数の外部接続電極が配列され、モジュール基板の他方の面には前記配線層に接続されたデータプロセッサチップと複数のメモリチップが実装されている。前記メモリチップは夫々一列に配置された電極パッドを有し、電極パッドの配列方向と交差する方向に複数のメモリチップが配列され、夫々のメモリチップにアドレスを供給する配線層はメモリチップの配列方向に延在して順次アドレス入力の電極パッドに結合されている。

#### 《マザーボードとドータボード》

マザーボードとその上に装着されるドータボードとの関係に着目する本発明の電子回路は、第1の半導体装置と前記第1の半導体装置よりも高速動作可能な第2の半導体装置とが配線基板のバスに共通接続状態で実装されて構成される。前記配線基板に対する前記第2の半導体装置の関係がマザーボードに対するドータボードの関係に対応される。前記第2の半導体装置は、外部接続電極を介して前記バスに共通接続されるデータプロセッサチップ及びメモリチップを多層配線基板に有し、前記データプロセッサチップ及びメモリチップから前記外部接続電極に至る配線経路にバッファ回路を有する。前記バッファ回路は、前記データプロセッサチップによるメモリチップのアクセスに際して前記バスからの入力を遮断する。

前記バッファ回路として、前記配線経路に夫々挿入されたアドレス出力バッファ、制御信号出力バッファ、及びデータ入出力バッファを採用してよい。前記データ入出力バッファに対しては前記データプロセッサ

チップによるメモリチップのアクセス指示に応答して高インピーダンス状態に制御してよい。前記バッファ回路は、前記メモリチップの動作選択に呼応して夫々高インピーダンス状態にされるアドレス入出力バッファ、制御信号入出力バッファ、及びデータ入出力バッファであって

5 もよい。

アドレス出力及びデータ入出力に対応される外部接続電極は前記バッファ回路が搭載される領域の裏面に配置してよい。

前記メモリチップが搭載される領域の裏面には電源電圧及びグランド電圧の供給に割当てられる外部接続電極を相対的に多く配置してよい。

10 い。

上記によれば、マルチチップモジュールのような第2の半導体装置は高周波ノイズを緩和して高速動作が可能であって、高い耐外来ノイズ性能を有し、電子回路全体として高い信頼性を備え、それらを比較的低いコストで実現することができる。

15

#### 図面の簡単な説明

第1図はマルチチップモジュールを用いた本発明に係る電子回路の一例を示す外観図である。

第2図はマルチチップモジュールを採用していない比較例に係る電子回路の外観図である。

20

第3図はマルチチップモジュールのチップレイアウトの一例を示す平面図である。

第4図は第3図に示されるマルチチップモジュールの底面図である。

第5図はマルチチップモジュールの外部接続電極に対する機能割り当ての状態を例示する説明図である。

25

第6図はマルチチップモジュールのブロック図である。

第7図はデータプロセッサチップとメモリチップとの接続態様の一例を端子対応で示す説明図である。

第8図はデータプロセッサチップの一例を示すブロック図である。

第9図は出力バッファの論理回路図である。

5 第10図は入出力バッファ及び論理ゲートチップのブロック図である。

第11図はセンタパッドのメモリチップのボンディングパッドに対するアドレス信号線の配置を例示する平面図である。

10 第12図はメモリチップとアドレスバスの信号線との接続状態をマルチチップモジュール3全体で示した説明図である。

第13図は多層配線基板における多層配線構造の一例を示す断面図である。

第14図はフリップチップ方式でモジュール基板にベアチップを実装する過程における幾つかの要所を示した説明図である。

15 第15図はバンプ電極と実装パッドと接合部の断面構造を例示する断面図である。

第16図はベアチップのグループごとに異方導電性フィルムを貼り付けて複数のベアチップを実装する状態を示したマルチチップモジュールの説明図である。

20 第17図はマルチチップモジュールの別の機能ブロック図である。

第18図は第17図のデータ入出力バッファとそれを制御する論理ゲートチップの一部を例示する論理回路図である。

25 第19図は第17図のアドレス入出力バッファ及び制御信号入出力バッファとそれを制御する論理ゲートチップの一部を例示する論理回路図である。

第20図は半導体集積回路チップに設けられたグランド端子乃至電源端子



などの金バンブ電極と多層配線基板に形成される各外部接続電極との接続関係を示す第 1 3 図の詳細説明図である。

第 2 1 図は半導体集積回路チップに設けられた信号端子としての金バンブ電極と多層配線基板に形成される各外部接続電極との接続関係を示す第 1 3 図の詳細説明図である。

第 2 2 図はプリント基板としての配線基板の一例を示す断面図である。

発明を実施するための最良の形態

《マザーボードとマルチチップモジュール》

第 1 図にはマルチチップモジュールを用いた本発明に係る電子回路の一例が示される。同図に示される電子回路 1 は、特に制限されないが、デジタルコピー装置やカーナビゲーション装置等のように、画像処理のような高速なデータ処理を必要とする回路部分と、通信機能やシステムの監視機能を実現するためのさほど高速動作を要しない回路部分とが混在して実装されている回路である。

第 1 図に示される電子回路 1 は、配線基板 2 の図示を省略する配線パターンに、半導体モジュールとしてのマルチチップモジュール 3、A S I C (Application Specified IC : 特定用途向け I C) 4、5、及び水晶発振子 (O S C) 6 が実装されている。入出力コネクタ 7 は前記配線基板 2 の図示を省略する所定の配線パターンに接続され、電子回路 1 をその他の装置に結合可能にする。尚、コネクタ 7 は、図示の形態に限定されるものではなく、種々変更可能である。前記配線基板 2 は、例えばガラスエポキシ樹脂の表裏に 2 層程度の配線パターンが印刷されたローコストのプリント基板である。

第 2 2 図にはプリント基板としての前記配線基板 2 の一部が縦断面で例示される。ガラスエポキシ樹脂基板 8 0 の表面に銅配線 8 1 A、8 1 B、8 1

Cが形成され、裏面に銅配線82A, 82Bが形成され、マルチチップモジュール3やASIC4, 5などを実装するための接続部に利用される部分を除いて銅配線はソルダーレジスト層84で覆われて保護されている。図の例では、銅配線81Aがスルーホール83Aを介して銅配線82Aに接続され、  
5 銅配線81Cがスルーホール83Bを介して銅配線82Cに接続されて、表裏2層の配線層を用いた配線の様子が概略的に示されているが、これは配線構造の概略を示す一例であり、実際には所望の配線に応じて種々の配線パターンが形成されることになる。

特に図示はしないが、電子回路1には一般的な高周波ノイズ対策として、バイパスコンデンサで電源ラインの高周波インピーダンスを高めたり、シールドフレームで取り囲んだりしてよいことは言うまでもない。  
10

前記マルチチップモジュール3は、底面に多数の外部接続電極が配列された多層配線基板10に夫々ベア(裸)チップとしてのデータプロセッサチップ11、メモリチップ12a~12d、バッファチップ13a  
15 ~13e及び論理ゲートチップ14が実装され、比較的高速に動作される第2の半導体装置の一例とされる。第1実装基板とされるマザーボードとその上に装着される第2実装基板としてのドータボードとの関係に着目すると、第1の半導体装置と前記第1の半導体装置よりも高速動作可能な第2の半導体装置とが配線基板2のバスに共通接続状態で実  
20 装されて構成される。前記配線基板2に対する前記マルチチップモジュール3の関係がマザーボードに対するドータボードの関係に対応される。

前記多層配線基板10は、第13図、第20図及び第21図を用いて後述される様に、複数層の配線パターンを有し、例えば電源配線パターンやグランド配線パターンを全面一様に導体層としたベタパターンと  
25 する構造等によって信号パターンと電源パターン若しくはグランドパ

ターンとの間の等価静電容量を大きく且つ回路全体に亘って均一に採  
ることができる。この多層配線構造は、それ自体で高周波ノイズの発生  
及び拡散をある程度抑制する機能を発揮することができる。この多層配  
線基板 10 が有する配線層は、同基板 10 の一方の面で外部接続電極に  
5 接続され、他方の面で前記ベアチップの実装パッドに接続される。尚、  
多層配線基板 10 の詳細については後述する。

前記 A S I C 4 , 5 はデータプロセッサチップ 11 の周辺回路として  
位置付けられ、通信や監視などの周辺機能を受け持つ回路とされ、前記  
第 2 の半導体装置よりも動作速度の遅い第 1 の半導体装置の一例とさ  
10 れる。A S I C 4 , 5 は例えばフラットパッケージに収納された半導体  
チップである。

前記水晶発振子 6 はマルチチップモジュール 3 及び A S I C 4 , 5 に  
対して動作基準となるクロック信号を供給する。第 1 図に従えば、発振  
子 6 から出力される基準クロックは、基板 2 の配線 6 I を介して、基板  
15 10 に入力される。基板 10 に入力された基準クロックは、基板 10 内  
の配線を介してプロセッサチップ 11 へ供給されてデータプロセッサ  
チップ 11 内のクロックパルス発生回路で所望の周波数、例えば 200  
MHz とされデータプロセッサチップ 11 の動作クロックとされる。一  
方、データプロセッサチップ 11 は、メモリチップ 12 a ~ 12 d の動  
20 作クロック及び A S I C 4 , 5 の動作クロックを出力する。A S I C 4 ,  
5 用の動作クロックは、基板 10 から基板 2 内の配線 6 O を介して A S  
I C 4 , 5 へ供給される。マルチチップモジュール 3 及び A S I C 4 ,  
5 は、入出力コネクタ 7 を経由して入力される命令やデータを受けて処  
理を開始する。処理の途中で、マルチチップモジュール 1 と A S I C 4 ,  
25 5 とは、図示を省略する共通バスを介してデータの入出力を行う。マル  
チチップモジュール 1 や A S I C 4 , 5 による最終的な処理結果は入出

カコネクタ 7 から外部に出力される。

第 2 図にはマルチチップモジュール 3 を採用していない比較例に係る電子回路の外観が示される。マルチチップモジュール 3 の機能は第 2 図の破線で囲まれた領域 3 A に含まれる複数の半導体集積回路チップによって代替されている。即ち、第 2 図の電子回路 1 A は第 1 図のマルチチップモジュール 3 の代わりに、夫々個別にパッケージされた半導体数積回路としてデータプロセッサ 1 1 A 及びメモリ 1 2 A a ~ 1 2 A d が、配線基板 2 A に実装されている。相対的に高速動作される前記データプロセッサ 1 1 A 及びメモリ 1 2 A a ~ 1 2 A d と、比較的低速で動作すれば済むような A S I C 4 , 5 とは、共に配線基板 2 A 上の同じバスに共通接続されている。第 1 図のバッファチップ 1 3 a ~ 1 3 e に相当するような回路は設けられていない。

第 2 図のように高速動作すべきデバイスと低速動作で済むデバイスが共通バスに接続されているとき、その共通バスを有する配線基板 2 A の設計では、少なくとも、データプロセッサ 1 1 A とメモリ 1 2 A a ~ 1 2 A d との間を結ぶ配線が高速動作を要するため、電氣的な特性や耐外来ノイズ性能を満足させたりするのに困難を伴うことになる。配線基板 2 A を全て多層配線構造にすれば、その要求を満足できても著しくコストが上昇してしまう。このとき、第 1 図に示されるように、高速動作を要する回路部分をマルチチップモジュール 3 で構成すれば、A S I C 4 , 5 等の残りの回路は高速動作を要しないため、配線基板 2 における高周波ノイズ対策のための設計負担を大幅に軽減することができる。

第 1 図の多層配線基板 1 0 に搭載されるチップ部品は、前述の如く、ここでは I C パッケージに封止されていないベアチップとされる。したがって、ここにパッケージされた部品に比較すると、占有面積が小さくなり、それに伴い回路内の配線に寄生する抵抗成分や容量成分などの遅

延成分が小さくなり、高速動作に好適である。また大量の配線がマルチチップモジュール 3 内で完結するようになるため、配線基板 2 に残る配線本数も減り、結果として配線基板 2 の配線層数を減らすことが可能となる。これは配線基板 2 の製造コスト引き下げに寄与する。さらに前述

5        したように複数個のペアチップを一つの多層配線基板 10 に実装して封止したマルチチップモジュール 3 を使用することにより、配線基板 2 自体の面積も小さくすることができる。マルチチップモジュール 3 はパッケージされたデータプロセッサ 11A の外形にほぼ等しい大きさであるから、配線基板 2 それ自体も小さくでき、携帯端末等の小型機器への組み込み用途に好適である。例えば、モジュール 3 のサイズは、27

10        mm×27mm と小さくできる。

また、製品の改良や品種展開に伴う変更も、搭載するマルチチップモジュールのみを修正するように当初から計画しておくことにより、電子回路の配線基板 2 の共通利用が可能となり、電子回路 1 全体の製造コストも低減する。即ち、電子回路 1 又は 1A の構成を変化させようとする

15        と、第 2 図の場合には配線基板 2A を全て設計し直すことになるが、第 1 図の場合には、変更点をマルチチップモジュール 3 内に留めることにより、配線基板 2 の再設計を不要にできる。

#### 《耐ノイズ性能強化レイアウト》

20        第 3 図にはマルチチップモジュールのチップレイアウトの一例が示される。第 3 図において、比較的高速動作されるデータプロセッサチップ 11 及びメモリチップ 12a～12d と、比較的低速動作されるバッファチップ 13a～13e 及び論理ゲートチップ 14 とは多層配線基板 10 に分離されて配置されている。特に、前記多層配線基板 10 のほぼ中央にデータプロセッサチップ 11 が配置され、前記データプロセッサチップ 11 を挟んで、一方に複数個のメモリチップ 12a～12d が、

25

他方に複数個のバッファチップ 13 a ~ 13 e 及び論理ゲートチップ 14 が並列配置されている。尚、図示は省略されているが、モジュール基板上にバイパスコンデンサや発振防止用抵抗などの受動部品が必要に応じて搭しても支障のないことは言うまでもない。

- 5       第4図には第3図に示されるマルチチップモジュールの底面が示される。多層配線基板 10 の底面には多数の外部接続電極が4列で周回するように配列されている。特に制限されないが、外部接続電極 15 は半田ボールで構成される。特に制限されないが、各外部接続電極 15 の直径は0.76ミリメートル (mm) とされ、各外部接続電極 15 の中心間の距離は1.27ミリメートルとされる。ここで採用した多層配線基板 10 は、特に制限されないが、ボールグリッドアレー (Ball Grid Array : 以下 BGA) と呼ばれる形式の IC パッケージに類似した外形を採用している。例えば、256 ピンの BGA パッケージに合わせてある。尚、マルチチップモジュール 3 がその他のパッケージ形式を使用してよいことは言うまでもない。
- 10
- 15

第5図にはマルチチップモジュールの外部接続電極に対する機能割り当ての状態が例示されている。第5図の向きは第3図に一致されている。

- 第5図において領域 E 5 の裏面には大凡メモリチップ 12 a ~ 12 d が配列されている。領域 E 1 ~ E 4 の裏面には大凡バッファチップ 13 a ~ 13 e 及び論理ゲートチップ 14 が配列されている。
- 20

- 第5図において黒丸印の外部接続電極 15 v s は回路のグランド電圧 V s s 供給端子 (グランド端子) である。斜線丸印、平行線丸印の外部接続電極 15 d a , 15 d b は 1.8 V、3.3 V の電源電圧 v d d の供給端子、白丸印の外部接続電極 15 s g は信号端子である。1.8 V の電源はデータプロセッサチップの CPU の動作電源とされる。その
- 25

他の回路は原則的に 3.3 V を動作電源とする。

前記領域 E 1、E 2 の外部接続電極 15 s g は、信号変化が頻繁若しくは動きの多い信号であるデータ入出力、アドレス出力に割当てられている。これに対して、領域 E 3 の外部接続電極 15 s g は、信号変化が  
5 穏やか若しくは動きの少ない信号である割り込み信号やデータ転送要求信号などのデータプロセッサチップのハンドシェーク信号などの入力及び出力に割当てられると共に、この領域 E 3 は特に電源電圧 V d d やグランド電圧 V s s の供給に割当てられる電極 15 d a, 15 d b, 15 v s が相対的に多くされている。領域 E 4 の外部接続電極 15 s g  
10 はチップセレクト信号等の出力、領域 E 5 の外部接続電極 15 s g はライト信号やリード信号等の出力に割当てられている。また、信号用の外部接続電極 15 s g のうち、幾つかは電源用の外部接続端子 15 d a, 15 d b, 15 v s で大凡囲まれているものがある。これも信号のノイズ対策を企図したものである。尚、CK I O は、A S I C 4, 5 への  
15 クロック出力端子であり、X T A L、E X T A L は、発振子 6 への接続端子である。

なお、第 5 図において最内周で周回する 1 列の外部接続電極のほとんどは電源電圧とグランド電圧の供給に割当てられ、これは、多層配線基板 10 の中央部に実装されるデータプロセッサチップ 11 への電源供給を強化するためである。  
20

前記データプロセッサチップ 11 及びメモリチップ 12 a ~ 12 d は比較的高速に若しくは頻繁に動作され、これに比べて前記バッファチップ 13 a ~ 13 e や論理ゲートチップ 14 は比較的低速で動作され若しくは動作頻度が比較的小さい。第 3 図のようにデータプロセッサチップ 11 を挟んでその両側にメモリチップ 12 a ~ 12 d と、バッファ  
25 チップ 13 a ~ 13 e 及び論理ゲートチップ 14 とをレイアウトすれ

ば、高速動作領域と低速動作領域とが分離される。モジュール基板 10 上で高速動作領域と低速動作領域とを分離すれば、多層配線 10 の裏面に配置される外部接続電極の機能を、高速動作領域の回路特性と低速動作領域の回路特性との相違に応じて決定することが可能になる。

- 5       例えば、アドレス出力及びデータ入出力に対応される外部接続電極を、相対的に動作速度の遅いバッファチップ 13 a ~ 13 e 及び論理ゲートチップ 14 が搭載される領域の裏面 E 1, E 2 に配置する。マルチチップモジュールの動作上アドレス出力及びデータ入出力動作は高速に且つ頻繁に行われるから、そのような信号変化の頻繁な部分で発生する
- 10       ノイズの影響を高速動作領域の回路であるデータプロセッサチップ 11 及びメモリチップ 12 a ~ 12 d が受けることを緩和することができる。これによって耐ノイズ性能が強化される。

- また、前記相対的に動作速度の速いデータプロセッサチップ 11 やメモリチップ 12 a ~ 12 d が搭載される領域の裏面領域 E 3 には電源
- 15       電圧 V d d 及びグランド電圧 V s s の供給に割当てられる外部接続電極 15 d a, 15 d b, 15 v s を相対的に多く配置し、これに応じてその領域 E 3 には信号入出力用に割当てられる外部接続電極 15 s g の数が相対的に少なくなる。これは、アドレス出力及びデータ入出力のような信号変化の頻繁な外部接続電極部分が、データプロセッサチップ
- 20       及びメモリチップのような高速動作部分から遠ざけられていることを意味する。したがって、高速動作するデータプロセッサチップ 11 やメモリチップ 12 a ~ 12 d が外来ノイズの影響を受けることを緩和することができる。この点においても、耐ノイズ性能が強化される。

- 前記耐ノイズ性強化の観点は、前記電源電圧及びグランド電圧の供給
- 25       に割当てられる動作電源用の外部接続電極の配置に対する疎密として把握することが可能である。電力消費の大きな半導体集積回路チップの



裏面ほど前記動作電源用に割当てられた外部接続電極が密に配置されている。半導体集積回路チップ 1 1, 1 2 a ~ 1 2 d、1 3 a ~ 1 3 e, 1 4 における内部回路の充放電動作は、一般的には高速且つ頻繁に行われる程、電力消費も多くなるという相関がある。したがて、この観点に着目すれば、電力消費の大きな半導体集積回路チップの裏面ほど前記動作電源用に割当てられた外部接続電極を密に配置すれば、アドレス出力及びデータ入出力のような信号変化の頻繁な外部接続電極部分は相対的に低速動作部分よりも高速動作部分から遠ざけられることになる。

《耐ノイズ性能強化用バッファ》

第 6 図には前記マルチチップモジュールの機能ブロック図を例示する。

第 7 図にはデータプロセッサチップとメモリチップとの接続態様の一例が端子対応で示される。

前記メモリチップ 1 2 a ~ 1 2 d は例えば S D R A M によって構成され、例えばデータプロセッサチップ 1 1 のメインメモリとして機能される。

S D R A M は、特に図示はしないが、ダイナミック型メモリセルのマトリクスをメモリセルアレイに有し、クロック信号に同期して供給されるコマンド信号によってロウアクティブ、カラムアクティブリード、カラムアクティブライト、リフレッシュ等の動作が指示され、コマンドと一緒に供給されるアドレス信号或いは内部アドレスカウンタで生成したアドレス信号を用い、クロック同期でリード・ライト動作を行うようになっている。バースト動作が指示されれば、所定のバースト数のデータを連続リード又は連続ライトすることができる。S D R A M 1 2 a ~ 1 2 d は、第 7 図に例示されるように、アドレス入力端子 A 1 3 ~ A 0 及びデータ入出力端子 I / O 1 5 ~ I / O 0 の他に、アクセス制御信号

の入力端子として、 $\text{CS}$  (チップ選択)、 $\text{RAS}$  (ロウアドレスストロープ)、 $\text{CAS}$  (カラムアドレスストロープ)、 $\text{WE}$  (ライトイネーブル)、 $\text{CLKE}$  (クロックイネーブル)、 $\text{CLK}$  (クロック)、 $\text{DQML}$ 、 $\text{DQMH}$  (データマスク) を有する。 $\text{DQML}$ 、 $\text{DQMH}$  (データマスク) はバーストライト動作において入力データをバイト単位でマスクする制御端子である。

第6図において、マルチチップモジュール3はモジュール内バス28としてデータバス28D、アドレスバス28A、及びコントロールバス28C1、28C2を有する。

メモリチップ12a~12dにはアドレスバス28Aに含まれる14ビットのアドレス信号線A[16:3]が共通接続される。メモリチップ12a~12dとデータバス28Dの信号線とは16ビット単位で個別的に接続されている。16ビットの信号線D[15:0]はメモリチップ12aに、16ビットの信号線D[31:16]はメモリチップ12bに、16ビットの信号線D[47:32]はメモリチップ12cに、16ビットの信号線D[63:48]はメモリチップ12dに接続される。コントロールバス28C1はメモリチップ12a~12dに接続する信号線群を総称する。例えば端子 $\text{DQML}$ 、 $\text{DQMH}$  (データマスク) にはメモリチップ毎の個別信号が供給され、その他の端子 $\text{CS}$  (チップ選択)、 $\text{RAS}$  (ロウアドレスストロープ)、 $\text{CAS}$  (カラムアドレスストロープ)、 $\text{WE}$  (ライトイネーブル) 等には各メモリチップに共通の信号が供給される。コントロールバス28C2はメモリチップに接続されない制御信号、例えば割込み信号、DMAリクエスト信号、DMAアクノリッジ信号などである。

第7図には、メモリチップ12a~12dの前記端子と接続されるデータプロセッサチップ11の対応端子として、アドレス出力端子A16

～A 3、データ入出力端子 I/O 63～I/O 0、そしてアクセス制御端子 CKIO、CKE、/CSm、/RASm、/CASm、RD/W R、DQM7～DQM0 が示されている。

- 5 前記データプロセッサチップ 11 は、日立製作所から発売されている SH7750 が利用可能とされ、第 8 図に例示されるように、システムバス 20 に中央処理装置 (CPU) 21 及び浮動小数点演算ユニット (FPU) 22 を有し、システムバス 20 は、アドレス変換・キャッシュユニット 23 を介してキャッシュバス 24 にインタフェース可能にされる。CPU 21 はフェッチした命令を解読して制御信号を生成する命令制御部 21A、及び命令制御部 21A の制御で整数演算を行う演算部 21B を有する。CPU 21 はフェッチした命令が FPU 命令であるなら、必要なバスアクセス制御を行って FPU 22 がオペランドをフェッチし、或いは演算結果をストアできるように制御したりする。FPU 22 は FPU 命令を解読して、浮動小数点演算を行う。アドレス変換・キャッシュユニット 23 は論理アドレスを物理アドレスに変換するアドレス変換機構を有し、また、データキャッシュメモリ及び命令キャッシュメモリを有する。アドレス変換・キャッシュユニット 23 はキャッシュヒットであれば、ヒットに係る情報をシステムバス 20 に出力し、システムバス 20 の情報をキャッシュメモリにライトする。キャッシュミスヒットのとき、アドレス変換・キャッシュユニット 23 はバスステートコントローラ 25 に外部バスアクセスを指示し、これによってミスヒットに係る情報のリード又はライトを可能にする。
- 10  
15  
20

- 前記キャッシュバス 24 はバスステートコントローラ 25 に接続される。バスステートコントローラ 25 は、キャッシュバス 24 からの指示に従って、内部バス 26、外部バスインタフェース回路 27、及びモジュール内バス 28 を介する外部アクセスを行い、或いは周辺バス 29
- 25

を介して S C I (シリアルコミュニケーションインタフェース) 30、  
タイマ 31、A/D 32 などの周辺回路をアクセスする。周辺バス 29  
には割り込みコントローラ 33、クロック発生回路 34、DMAC (ダイ  
レクトメモリアクセスコントローラ) 35 が接続されている。DMA  
5 C 35 は、C P U 21 による初期設定にしたがってバスステートコント  
ローラ 25 を介して外部アクセスが可能にされる。データプロセッサチ  
ップ 11 はクロック信号 C L K を動作基準クロック信号として、そのク  
ロック信号に同期動作する。

第 6 図において、モジュール内バス 28 の前記データバス 28 D、ア  
10 ドレスバス 28 A、及びコントロールバス 28 C 1 には、バッファ回路  
として、例えば、データ入出力バッファ 40、アドレス出力バッファ 4  
1、制御信号出力バッファ 42、及び前記論理ゲートチップ 14 が挿入  
されている。データ入出力バッファ 40 は前記バッファチップ 13 a、  
13 b で構成され、アドレス出力バッファ 41 は前記バッファチップ 1  
15 3 c、13 d で構成され、制御信号出力バッファ 42 は前記バッファチ  
ップ 13 e で構成される。前記データ入出力バッファ 40 は、データプ  
ロセッサチップ 11 によるメモリチップ 12 a ~ 12 d のアクセスに  
際して入力を遮断する。

第 9 図にはアドレス出力バッファ 41、制御信号出力バッファ 42 の  
20 1 ビット分の構成が例示される。これは、トライステートバッファ T B  
1, T B 2 が逆並列接続され、一方のトライステートバッファ T B 1 は  
アンドゲート G 1 の出力で活性化制御され、他方のトライステートバッ  
ファ T B 2 はアンドゲート G 2 の出力で活性化制御される。すなわち、  
バッファ 41 及び 42 はトライステート型バススイッチと見なすこと  
25 ができる。アンドゲート G 1 の 2 入力はいずれもハイレベルに固定され、トライ  
ステートバッファ T B 1 は動作電源が投入されれば常時出力動作可能

にされる。他方のアンドゲートG 2は出力がローレベルに固定されているので、トライステートバッファTB 2は高出カインピーダンス状態に固定される。これによって、動作電源投入後、常時出力動作可能な出力バッファが実現される。

- 5       第10図にはデータ入出力バッファ40の1ビット分の構成が例示される。これは、トライステートバッファTB 1, TB 2が逆並列接続され、一方のトライステートバッファTB 1はアンドゲートG 1の出力で活性化制御され、他方のトライステートバッファTB 2はアンドゲートG 2の出力で活性化制御される。すなわち、バッファ40は、入力及び出力が交差接続された一对のバススイッチと見なすことができる。前記論理ゲートチップ14は電源電圧V<sub>dd</sub>とチップ選択信号/C<sub>S</sub>を2入力とするナンドゲートG 3を有する。前記アンドゲートG 1, G 2の一方の入力には前記ナンドゲートG 3の出力反転信号が入力される。前記アンドゲートG 1, G 2の他方の入力には前記リード信号/R<sub>D</sub>の反転信号、非反転信号が入力される。
- 10
- 15

- データプロセッサチップ11によるメモリチップ12a~12dのチップ選択動作は/C<sub>S</sub>のローレベルによって指示される。この状態で前記ナンドゲートG 3の出力はハイレベルにされ、これに応答して双方のアンドゲートG 1, G 2の出力はローレベルにされるから、データ入出力バッファ40は高インピーダンス状態にされる。メモリチップ12a~12dのチップ非選択状態(/C<sub>S</sub>=ハイレベル)では、/R<sub>D</sub>によるリード動作の指示に応答してアンドゲートG 1の出力がハイレベルにされ、トライステートバッファTB 1は外部からデータバス28Dへデータを入力可能にする。メモリチップ12a~12dのチップ非選択状態(/C<sub>S</sub>=ハイレベル)において、/R<sub>D</sub>によるリード動作が指示されていないときはアンドゲートG 2の出力がハイレベルにされ、ト
- 20
- 25

ライステートバッファTB2がデータバス28Dから外部へデータを出力可能にされる。尚、第9図及び第10図に示されるバッファ回路は汎用バッファ回路HD74LVHC16245を利用して構成するため、ほぼ同一の回路構成とされている。汎用バッファ回路を用いないのであれば、同一な回路構成とされなくとも良い。

前記データプロセッサチップ11とメモリチップ12a~12dとが例えば100MHz以上の高速で動作されると、それによってモジュール内バス28にはノイズが入り込もうとする。最近の高速動作可能な半導体集積回路は、電源電圧を低くする傾向がある。これは消費電力を低く抑えるとともに、信号振幅を小さくすることによって、信号の変化にかかる時間を小さくし、高速動作を可能にするためである。しかし、信号の振幅が小さくなると、外来ノイズの影響を受けやすくなるという問題がある。このような高周波ノイズに対して、前述の通り、第1に、データプロセッサチップ11やメモリチップ12a~12dなどの高速動作デバイスを選んで耐ノイズ特性の優れた多層配線構造のマルチチップモジュール化した。第2にマルチチップモジュールに対して耐ノイズ性能を強化したチップ及び外部接続端子15のレイアウトを採用した。その上で、モジュール内バス28D、28A、28C1に上述のバッファ回路40、41、42、14を挿入した。バッファ回路40、41、42、14は、マルチチップモジュール3それ自体に対する前記第1及び第2の耐ノイズ特性強化策に対し、配線基板2からモジュール内バスにノイズが注入されるのを抑制して、更に万全のノイズ対策を施そうとするものである。

上記観点によるバッファ回路40、41、42、14の作用を説明する。上記より明らかなように、前記外部接続電極15に向けてアドレス信号を出力するアドレス出力バッファ41及び前記外部接続電極15

に向けてアクセス制御信号を出力する制御信号出力バッファ42は、常時信号入力を抑止しているから、外部接続電極15からそれを介して高周波ノイズの流入はない。更に、前記メモリチップの動作選択に呼応して高インピーダンス状態にされるデータ入出力バッファ40も外部接

5 続電極15からモジュール内バスを介して外来ノイズがメモリチップに流入し難くする。したがって、メモリアクセス動作中における高周波ノイズによるメモリデータの破壊に対する抑止機能を強化することができる。さらに、前記メモリチップの動作選択に応答して高インピーダンス状態に制御すればよいから、簡単な制御で済む。

10 以上により、メモリアクセス動作中における高周波ノイズによるメモリデータの破壊防止を強化することができる。

第17図にはマルチチップモジュールの別の機能ブロック図を例示する。同図に示されるマルチチップモジュール3extは、図6のマルチチップモジュール3に対して、マルチチップモジュール3extの外部に配置されたバスマスタとしての外部デバイス（例えば、カーナビゲーションシステムなどで地図データをCD-ROMから読出すデバイス、文字放送のデータを抜き出すデバイス）43extによってマルチ

15 チップモジュール3extの内部をアクセス可能にしたものである。例えば、マルチチップモジュール3extは、グラフィックアクセラレータ11extを含み、更に、モジュール内バス28の前記データバス28D、アドレスバス28A、及びコントロールバス28C1には、バッファ回路として、データ入出力バッファ40ext、アドレス入出力バッファ41ext、制御信号入出力バッファ42ext、及び前記論理ゲートチップ14extが挿入されている。バス調停回路はデータプロ

20 セッサチップ11が有し、外部デバイス43extは、バスリクエスト信号BREQをデータプロセッサチップ11に供給してバス権を要求

25

し、外部デバイス 4 3 e x t に対するバス権の承認はバスアクノリッジ  
信号 B A C K によって外部デバイス 4 3 e x t に返される。尚、前記バ  
スリクエスト信号 B R E Q 及びバスアクノリッジ信号 B A C K は制御  
バス 2 8 C 1 経由で入出力されるように図示されているが実際はバス  
5 2 8 C 2 を介して入出力されるものであると理解されたい。

第 1 8 図には入出力バッファ 4 0 e x t とそれを制御する論理ゲー  
トチップ 1 4 e x t の一部が例示され、第 1 9 図には入出力バッファ 4  
1 e x t , 4 2 e x t とそれを制御する論理ゲートチップ 1 4 e x t の  
一部が例示されている。第 9 図及び第 1 0 図と同一機能を有する回路要  
10 素には同一符号を付してその詳細な説明を省略する。

前記入出力バッファ 4 0 e x t , 4 1 e x t , 4 2 e x t は、ナンド  
ゲート G 3 に前記チップ選択信号 / C S が供給され、第 1 0 図と同様に、  
データプロセッサチップ 1 1 によるメモリチップ 1 2 a ~ 1 2 d のア  
クセスに際して入力遮断される。

第 1 9 図に示されるように前記入出力バッファ 4 1 e x t , 4 2 e x  
t は、データプロセッサチップ 1 1 がバス権を獲得しているときトライ  
スレートバッファ T B 2 が非活性にされることにより、出力バッファと  
して機能される。

データ入出力バッファ 4 0 e x t はデータプロセッサチップ 1 1 が  
20 バス権を獲得するか、外部デバイス 4 3 e x t がバス権を獲得するかに  
よってリード・ライトによるデータ方向が逆になる。これをサポートす  
るために、第 1 8 図に例示されるように、バスアクノリッジ信号 / B A  
C K がネゲート状態（データプロセッサチップ 1 1 がバス権保有）の  
とき、データプロセッサチップ 1 1 が出力するリード信号 / R D を選択し、  
25 バスアクノリッジ信号 / B A C K がアサート状態（外部デバイス 4 3 e  
x t がバス権保有）のとき、外部デバイス 4 3 e x t が出力するライト



信号／WRを選択するマルチプレクサMPXが設けられている。

第18図及び第19図の例では外部デバイス43extはグラフィックアクセラレータ11extをアクセスすることが可能になる。但し、外部デバイス43extは前記チップ選択信号／CSをアサートしてSDRAM12a～12dをアクセスすることはできない。チップ選択信号／CSのアサートによって入出力バッファ40ext, 41ext, 42extが高インピーダンス状態にされるからである。特に図示はしないが、バス権を取得した外部デバイス43extが前記チップ選択信号／CSをアサートしてSDRAM12a～12dをアクセスできるようにするには、第18図及び第19図におけるナンドゲートG3を2入力ノアゲートに代え、一方の入力にはチップ選択信号／CSを、他方の入力にはバスアクノリッジ信号／BACKの反転信号を入力するように構成すればよい。

第17図の構成においても、第6図と同様に、高周波ノイズに対して、多層配線構造によるマルチチップモジュール化し、マルチチップモジュールに対して耐ノイズ性能を強化したチップ及び外部接続端子15のレイアウトを採用し、その上で、モジュール内バス28D、28A、28C1に上述のバッファ回路40ext, 41ext, 42ext、14extを挿入したものである。バッファ回路40ext, 41ext, 42ext、14は、マルチチップモジュール3extそれ自体に対する前記第1及び第2の耐ノイズ特性強化策に対し、配線基板2側からモジュール内バスにノイズが注入されるのを抑制して、更に万全のノイズ対策を施すものである。したがって、バッファ回路40ext, 41ext, 42extはメモリチップの動作選択に呼応して高インピーダンス状態にされるから、メモリアクセス動作中における高周波ノイズによるメモリデータの破壊に対する抑止機能を強化することができる。

《アドレス遅延対策》

第3図に基いて説明したようにマルチチップモジュールのデバイス搭載領域を高速動作領域と低速動作領域を分ける場合に、メモリチップ12a～12dへの並列アドレス入力タイミングを揃えることを考慮することができる。

- 5       例えば第11図に例示されるように、メモリチップ12a～12dのボンディングパッド50がチップ51のほぼ中央部に長手方向に沿って一列に配置されている場合、アドレスバス28Aの信号線A[16:3]を、ボンディングパッド50の配列方向に対して交差する方向に延在させて、順次アドレス系のボンディングパッド50に結合する。第
- 10       11図において52A～52Dは複数個のメモリバンクを構成するメモリアレイ、53は電源系制御回路、54はデータ系制御回路、55はコマンド系制御回路、56はアドレス系制御回路である。尚、信号線A[16:3]はA16～A3の計14本のアドレス線を示している。

- 15       第12図にはメモリチップ12a～12dとアドレスバス28Aの信号線A[16:3]との接続状態がマルチチップモジュール3全体で示されている。同図ではコントロールバス28C1, 28C2の図示を省略してある。

- 20       上記センタパッド形式で一列に配置されたアドレス系ボンディングパッドに対するアドレス信号線のレイアウト構成によれば、アドレスバス28Aに並列して伝播されるアドレス信号は、メモリチップ毎12a～12dに、並列の各ビットが同じタイミングでアドレス系ボンディングパッドに到達する。したがって、高速動作されるべきSDRAMのようなメモリチップ12a～12dの配置に最適である。

- 25       第12図に示される構成は、データプロセッサチップ11は、16本のデータ線D[15:0]を介してメモリチップ12aに、16本のデータ線D[31:16]を介してメモリチップ12bに、16本のデー

タ線D [4 7 : 3 2] を介してメモリチップ1 2 cに、1 6本のデータ線D [6 3 : 4 8] を介してメモリチップ1 2 dに結合される。データ線D [3 1 : 1 6] 及び [1 5 : 0] はバッファ回路1 3 a及び1 3 bに結合される。一方2 6本のアドレス線A [2 5 : 0] はバッファ回路1 3 c及び1 3 dに結合する。

### 《多層配線構造》

第1 3図には前記多層配線基板における多層配線構造の一例が示される。

多層配線基板1 0は、複数の配線層を有するコア層又はベース層6 0の表裏に、夫々同じ層数の配線層が積み重ねられたビルドアップ層6 1, 6 2を生成した構造を有する。コア層6 0の表裏に層数の等しいビルドアップ層6 1, 6 2を形成することによる表裏の対称性により、モジュール基板3の熱による反りを良好に防止できる。

前記コア層6 0は、例えばガラスエポキシ樹脂を介して4層の銅からなる配線層6 0 A～6 0 Dを積層して構成される。一方のビルドアップ層6 1は、コア層6 0の上面に更にエポキシ樹脂を介して3層の銅からなる配線層6 1 A～6 1 Cを積層して構成される。他方のビルドアップ層6 2も同様に、コア層6 0の底面に更にエポキシ樹脂を介して3層の銅からなる配線層6 2 A～6 2 Cを積層して構成される。上記配線層は相互に必要な接続を採るためにスルーホール等で適宜結合されている。

特に、所定の配線層6 0 A～6 0 Dは選択的に設けられたスルーホール部を除き、全面一様に導体層としたベタパターンで形成された電源配線パターンやグランド配線パターンとされ、信号パターンと電源パターン若しくはグランドパターンとの間の等価静電容量を大きく且つ回路全体に亘って均一に採ることができるように考慮されている。詳細については、第2 0図及び第2 1図を用いて後に説明される。

ビルドアップ層 6 1 の最上層は前記データプロセッサチップ 1 1 などの半導体集積回路チップ 6 4 を搭載のために利用する実装パッドの部分を除いてソルダーレジスト層などの絶縁層（若しくは保護層）6 3 で覆われている。半導体集積回路チップ 6 4 の金（Au）からなるバン  
5 プ電極 6 5 は後述する異方導電性フィルム 6 6 を介して実装パッドに導電接続され、且つ異方導電性フィルム 6 6 を介してビルドアップ層 6 1 の表面に固定されている。

ビルドアップ層 6 2 の表面は外部接続電極 1 5 を形成する部分を除いてレジスト層などの絶縁層 6 7 で覆われている。レジスト層 6 7 から  
10 露出された配線層 6 2 C の部分には半田ボールで外部接続電極 1 5 が形成されている。

ビルドアップ層 6 1 及び 6 2 は、コア層 6 0 にエポキシ樹脂をつけて、所望の部分にスルホールを形成し、その上面に銅からなる配線パターンを形成する工程を繰り返すことによって形成される。更に詳しく説明すると、ビルドアップ層は、以下のようにして形成される。まず、コア層 6 0  
15 を、エポキシ樹脂溶液に浸し、コア層 6 0 の表裏に 1 層目のエポキシ樹脂層を形成する。そして、配線接続部に対応する部分のエポキシ樹脂層にスルホールを形成するため、適当なエッチングマスクを用いてエッチングを行う。その後、配線層 6 1 C または 6 2 C を構成する銅からなる金属膜を形成し、  
20 エッチングを行うことによって、配線層 6 1 C または 6 2 C を形成する。上記工程を順次行うことによって、配線層 6 1 A 又は 6 2 A まで形成する。その後、ソルダーレジスト膜の様な絶縁膜 6 3 及び 6 7 を選択的に形成する事によって、ビルドアップ層 6 1 及び 6 2 が形成される。

仮に片面にビルドアップ層を生成した基板では、コア層とビルドアップ層の熱に対する特性が異なるため、マルチチップモジュールの実装時  
25 に発生する熱応力などの影響でマルチチップモジュールが反る虞があ

る。そうすると、基板内のいずれかの層に又はコア層とビルドアップ層との剥離が発生したり、内部の配線の断線が発生する場合もある。第13図で説明したように、コア層60の両面にビルドアップ層61, 62を生成した基板では、表裏両面の熱に対する特性が等しくなるため、熱応力の影響を低く抑えることが可能となる。したがって、層間剥離や配線の破壊の可能性を低減することが可能になり、信頼性の高いマルチチップモジュールを実現することが可能になる。

コア層60の厚さと各ビルドアップ層61及び62の厚さとを合計した多層配線基板10の厚さは、特に制限されないが、1.22ミリメートルとされる。さらに、上記多層配線基板10の一方の表面に配置されるデータプロセッサチップ11、メモリチップ12a~12d、バッファチップ13a~13dないしは論理ゲートチップ14のうち最もチップ厚のあついものの裏面と上記多層配線基板10の他方の表面に形成される各外部接続電極15と間の距離、すなわち、マルチチップモジュール3の高さは2.3ミリメートルとされる。その結果、マルチチップモジュール3の実装高さは、2.7ミリメートル以下にされる。

それによって、携帯電話器やハンドヘルドコンピュータなどのように、小型・薄型・軽量のような各要素が要求される電子機器内に設けられる実装基板へのマルチチップモジュール3の実装が容易に行うことができる。

尚、第13図には示されないが、以下のような電源接続形態もある。たとえば、半導体チップ11に設けられた電源端子乃至接地端子が、第13図のようにスルーホールを介して直線的に、接続端子15（グランド端子）乃至接続端子15（電源1端子）に接続できない場合もある。この場合、半導体チップ11に設けられた電源端子乃至接地端子から、一旦、コア層60内に形成された配線層60A（グランド層）又は60D（グランド層）、乃至配線層60B（電源1層層）又は配線層60C（電源2層）に接続される。そ

の後、マルチチップモジュール基板 10 の対応する接続端子 15（グランド端子）、接続端子 15（電源 1 端子）乃至接続端子 15（電源 2 端子）の接続可能な部分に対応する配線層 60 A（グランド層）、60 D（グランド層）、配線層 60 B（電源 1 層層）及び配線層 60 C（電源 2 層）から直線的に接続端子 15（グランド端子）、接続端子 15（電源 1 端子）乃至接続端子 15（電源 2 端子）へ接続される。

第 20 図は、第 13 図をさらに詳しく説明するための図面であって、半導体集積回路チップ 64 に設けられたグランド端子（GND）乃至電源端子（VDD、3.3 V、1.8 V）などの金バンプ電極 65 と上記多層配線基板 10 に形成される各外部接続電極 15 との接続関係を示している。

同図に示されるように、半導体集積回路チップ 64 に設けられたグランド電位の供給されるべき端子 65 は、ビルドアップ層 61 に設けられた配線 61 A、61 B、61 C 及びビルドアップ層 62 に設けられた配線 62 A、62 B、62 C を介して、グランド電位（接地電位：0 V）が供給されるべきグランド端子としての半田バンプ電極 15 に接続される。上記配線層 61 C は、コア層 60 に形成されたスルーホール TH の部分において配線層 60 A 及び 60 C に電氣的に結合され、その結果配線層 60 A 及び 60 C はグランド電位が供給されるグランド層とされる。

一方、半導体集積回路チップ 64 に設けられた電源電位（1.8 V）の供給されるべき端子 65 は、ビルドアップ層 61 に設けられた配線 61 A、61 B、61 C 及びビルドアップ層 62 に設けられた配線 62 A、62 B、62 C を介して、電源電位（1.8 V）が供給されるべき電源 2 端子としての半田バンプ電極 15 に接続される。上記配線層 61 C は、コア層 60 に形成されたスルーホール TH の部分において配線層 60 D に電氣的に結合され、その結果配線層 60 D は電源電位（1.8 V）が供給される電源 2 層とされる。

なお、同図には図示されないが、半導体集積回路チップ64に設けられた電源電位(3.3V)の供給されるべき端子65は、ビルドアップ層61に設けられた配線61A、61B、61C及びビルドアップ層62に設けられた配線62A、62B、62Cを介して、電源電位(3.3V)が供給されるべき電源1端子としての半田バンプ電極15に接続される。上記配線層61Cは、コア層60に形成されたスルーホールTHの部分において配線層60Bに電氣的に結合され、その結果配線層60Bは電源電位(1.8V)が供給される電源1層とされる。

このように、コア層60A内に形成された配線層60A~60Dは、電源電位(3.3V、1.8V)乃至グランド電位に結合され、先述のように、ノイズを低減する効果が発生する。

第21図は、第13図をさらに詳しく説明するための図面であって、半導体集積回路チップ64に設けられた信号端子としての金バンプ電極65と上記多層配線基板10に形成される各外部接続電極15との接続関係を示している。

同図に示されるように、半導体集積回路チップ64に設けられた信号2の供給されるべき端子65(信号2)または65(信号5)は、ビルドアップ層61に設けられた配線61A、61B、61C及びビルドアップ層62に設けられた配線62A、62B、62Cを介して、信号2が供給されるべき信号端子としての半田バンプ電極15(信号2)に接続される。上記配線層61C乃至62Aは、コア層60に形成されたスルーホールTHの部分において、配線層60A~60Dには電氣的に結合されず、上記配線層61C~62AはスルーホールTHの部分において電氣的に結合している。なお、各信号1, 3, 4及び6の供給されるバンプ65も、図示されない部分において、同様に、所望のバンプ電極15に電氣的に結合される。

《マルチチップモジュールの組み立て》

前記マルチチップモジュール 3 をフリップチップ方式で組み立てる方法について説明する。

第 14 図にはフリップチップ方式でモジュール基板にベアチップを実装する過程における幾つかの要所を示してある。第 15 図にはバンパ  
5 電極 65 と実装パッド 71 と接合部の断面構造が例示される。

第 14 図の (A) には代表的に 1 個のベアチップとしての半導体集積回路チップ 64 が例示されている。65 で示されるものはバンパ電極である。バンパ電極 65 は半導体集積回路チップ 64 のボンディングパッド 73 (第 15 図参照) に形成され、バンパ電極 65 の表面は例えば金  
10 メッキされている。

モジュール基板 10 の表面には第 14 図の (B) のように前記バンパ電極 65 が載置されて導電接続される前記実装パッド 71 が露出されている。実装パッドの表面は例えば金メッキされている。

前記実装パッド 71 の表面には第 14 図の (C) のように異方導電性  
15 フィルム 66 が貼り付けられる。異方導電性フィルム 66 は熱硬化性樹脂にニッケル粒子等の導電性微粒子が分散されて混在された熱硬化性の樹脂のフィルムである。この異方導電性フィルム 66 に厚み方向に力を作用すると、第 15 図に例示されるように弾性的に変形し、その部分に含まれている導電性微粒子が連鎖して接触することにより、当該部分  
20 だけに導電性が得られるようになっている。この状態は熱で硬化されることによって維持され、また、その熱硬化性によって接着作用も発揮する事になる。基板に貼り付けられる異方導電性フィルム 43 の大きさは接続される IC チップの大きさに合わせて決めればよい。

最後に、第 14 図の (D) に示されるように、ベアチップとしての半  
25 導体集積回路チップ 64 のバンパ電極 65 がモジュール基板 10 上の所定の実装パッド 71 に接合するように異方導電性フィルム 66 の上



に圧着する。この後、熱を加え、異方導電性フィルム 6 6 を硬化させることにより、第 1 5 図の断面構造で示されるように、半導体集積回路チップ 6 4 が張付けられ、バンプ電極 6 5 と実装パッド 7 1 との導電接続が完了する。

- 5       第 3 図に例示されるマルチチップモジュール 3 を組み立てるとき、前記データプロセッサチップ 1 1、メモリチップ 1 2 a ~ 1 2 d、バッファチップ 1 3 a ~ 1 3 e、及び論理ゲートチップ 1 4 の合計 1 1 個のベアチップを、第 1 4 図で説明したように 1 個ずつモジュール基板 1 0 に実装するならば、1 個のベアチップ毎に 1 枚ずつ別々の異方導電性フィルム 6 6 を張付けたり、その上にベアチップを圧着したり、熱硬化させたりする処理を、夫々 1 1 回繰り返さなければならず、作業効率は極めて低くなる。

- 10       そこで、組み立て工数低減の観点より、モジュール基板 1 0 には、高さ寸法がほぼ等しい半導体集積回路チップ、例えば同種の半導体集積回路チップのグループ毎にそれら半導体集積回路チップを一行に並べて実装可能なように実装パッドをグループ化して配列数する。そして、前記グループ化された実装パッド毎に異方導電性フィルムを貼り付け、貼り付けられた異方導電性フィルムを介して実装パターンと半導体集積回路チップのバンプ電極とを導電接続する。例えば、ベアチップを第 3
- 15       図のように配置したマルチチップモジュール 3 の場合、第 1 6 図に例示されるように、メモリチップ 1 2 a ~ 1 2 d のアレイを 1 グループとして 1 枚の異方導電性フィルム 6 6 A を貼り付け、バッファチップ 1 3 a ~ 1 3 e 及び論理ゲートチップ 1 4 のアレイを 1 グループとして 1 枚の異方導電性フィルム 6 6 B を貼り付け、データプロセッサ 1 1 のため
- 20       には単独で 1 枚の異方導電性フィルム 6 6 C を貼り付ける。そして各グループ毎に、対応するベアチップのバンプ電極 6 5 が対応する実装パッ
- 25

ド 7 1 に接合するように異方導電性フィルムの上にベアチップを圧着し、まとめて熱を加え、異方導電性フィルムを硬化させる。したがって、異方導電性フィルム 6 6 A, 6 6 B, 6 6 C の貼り付け回数や、異方導電性フィルム 6 6 A, 6 6 B, 6 6 C に対するベアチップの圧着回数若しくは圧着加熱回数を夫々 3 回程度に減らすことができる。したがって、マルチチップモジュール 3 の組み立てる工程数を少なくすることができる。組み立て工程の簡素化は、マルチチップモジュールの歩留まりや信頼性の向上に寄与する。更にマルチチップモジュールの製造コストを低減することが可能になる。

10      以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

15      例えば、マルチチップモジュールに実装される半導体集積回路チップはベアチップに限定されず、C S P (チップ・サイズ・パッケージ) 等の小型若しくは薄型のパッケージで封止されたものであってもよい。また、メモリチップの用途はメインメモリやキャッシュメモリに限定されず、データプロセッサがアクセスする用途であればよい。また、マルチチップモジュールは、その他に、データプロセッサの処理負担を軽減するための演算処理装置であるアクセラレータ、例えばグラフィックス処理、エラー訂正処理、圧縮処理などのための回路チップと一緒に実装してもよい。また、モジュール基板に実装されるメモリチップの数、バッファチップに数、データプロセッサの数などは上記説明に限定されない。

#### 産業上の利用可能性

25      本発明は、画像処理等のように高速のデータ処置を行う、画像処理装置、音声処理装置、マルチメディア機器、更には通信や画像表示等を行

う形態情報端末若しくは携帯通信端末等に広く適用することができる。

## 請 求 の 範 囲

1. 数層の配線層とを有するモジュール基板に、データプロセッサチップと、メモリチップと、スイッチ回路と、が設けられ、

5 前記データプロセッサチップとメモリチップは前記配線層によって形成されるモジュール内バスに接続され、

前記スイッチ回路は、前記モジュール内バスに挿入され、前記データプロセッサチップによるメモリチップのアクセスに際して前記モジュール内バスに接続される外部接続電極からの入力を遮断するものであることを特徴とする半導体モジュール。

10 2. 前記スイッチ回路は、前記外部接続電極に向けてアドレス信号を出力するアドレス出力バッファ、前記外部接続電極に向けてアクセス制御信号を出力する制御信号出力バッファ、及び前記メモリチップの動作選択に呼応して高インピーダンス状態にされるデータ入出力バッファである、ことを特徴とする請求の範囲第1項記載の半導体モジュール。

3. 前記スイッチ回路は、前記外部接続電極に接続されていて、前記データプロセッサチップによるメモリチップの動作選択に呼応して夫々高インピーダンス状態にされるアドレス入出力バッファ、制御信号出力バッファ、及びデータ入出力バッファであることを特徴とする請求の範囲第1項記載の半導体モジュール。

4. 複数の外部接続電極と複数層の配線層とを有するモジュール基板に、データプロセッサチップと、メモリチップと、スイッチ回路と、が設けられ、

25 前記データプロセッサチップとメモリチップは、前記配線層によって形成されるモジュール内バスに接続され、

前記スイッチ回路は、前記モジュール内バスに夫々挿入されたアドレス出力バッファ、制御信号出力バッファ、及びデータ入出力バッファである、ことを特徴とする半導体モジュール。

5 5. 複数の外部接続電極と複数層の配線層とを有するモジュール基板に、データプロセッサチップと、メモリチップと、スイッチ回路と、が設けられ、

前記データプロセッサチップとメモリチップは、前記配線層によって形成されるモジュール内バスに接続され、

10 前記スイッチ回路は、前記モジュール内バスに夫々挿入されたアドレス入出力バッファ、制御信号入出力バッファ、及びデータ入出力バッファである、ことを特徴とする半導体モジュール。

15 6. 前記データプロセッサチップによるメモリチップのアクセス指示に  
応答してデータ入出力バッファを高インピーダンス状態に制御する  
制御回路を更に有して成るものであることを特徴とする請求の範囲  
第 4 項記載の半導体モジュール。

20 7. 前記データプロセッサチップによるメモリチップのアクセス指示に  
応答してアドレス入出力バッファ、制御信号入出力バッファ、及びデ  
ータ入出力バッファを高インピーダンス状態に制御する制御回路を  
更に有して成るものであることを特徴とする請求の範囲第 5 項記載  
の半導体モジュール。

8. 前記モジュール基板は、複数の配線層を有するベース層と、前記ベ  
ース層の表裏に夫々同じ層数の配線層が積み重ねられたビルドアップ層とから成るものであることを特徴とする請求の範囲第 4 項記載の半導体モジュール。

25 9. 複数層の配線層を有するモジュール基板と、上記モジュール基板の  
一方の面に形成された多数の外部接続電極と、上記モジュール基板の

他方の面に形成された複数個の半導体集積回路チップを実装するための実装パッドと、を有し、

5 前記実装パッドは、相対的に高速動作可能な複数個の半導体集積回路チップの実装パッドの領域と、相対的に動作速度の遅い複数個の半導体集積回路チップの実装パッドの領域とが分離されていることを特徴とするマルチチップモジュール。

10 10. アドレス出力及びデータ入出力に対応される外部接続電極は前記相対的に動作速度の遅い複数個の半導体集積回路チップが搭載される領域の裏面に配置されて成るものであることを特徴とする請求の範囲第9項記載のマルチチップモジュール。

11. 前記相対的に動作速度の速い複数個の半導体集積回路チップが搭載される領域の裏面には電源電圧及びグランド電圧の供給に割当てられる外部接続電極が相対的に多く配置されて成るものであることを特徴とする請求の範囲第10項記載のマルチチップモジュール。

15 12. 複数層の配線層を有するモジュール基板と、上記モジュール基板の一方の面に形成された多数の外部接続電極と、上記モジュール基板の他方の面に前記配線層に接続されて設けられたデータプロセッサチップ、メモリチップ、及びバッファ回路と、を有し、

20 前記モジュール基板のほぼ中央にデータプロセッサチップが配置され、前記データプロセッサチップを挟んで、一方に複数個のメモリチップが、他方に複数個のバッファ回路が並列配置されて成るものであることを特徴とするマルチチップモジュール。

25 13. 複数層の配線層を有するモジュール基板と、前記モジュール基板の一方の面に形成された多数の外部接続電極と、前記モジュール基板の他方の面に形成された実装パッドと、前記実装パッドを介して設けられたデータプロセッサチップ、メモリチップ、及びバッファ回路と、

を有し、

アドレス及びデータ用に割当てられる外部接続電極は前記バッファ回路が搭載される領域の裏面に配置されて成るものであることを特徴とするマルチチップモジュール。

- 5      1 4 . 複数層の配線層を有するモジュール基板と、前記モジュール基板の一方の面に形成された多数の外部接続電極と、前記モジュール基板の他方の面に形成された実装パッドと、前記実装パッドを介して設けられたデータプロセッサチップ、メモリチップ、及びバッファ回路と、を有し、

- 10      前記メモリチップが搭載される領域の裏面には電源電圧及びグラウンド電圧の供給に割当てられる外部接続電極が相対的に多く配置されて成るものであることを特徴とするマルチチップモジュール。

- 15      1 5 . 複数層の配線層を有するモジュール基板と、前記モジュール基板の一方の面に形成された多数の外部接続電極と、前記モジュール基板の他方の面に形成された実装パッドと、前記実装パッドを介して実装された複数種類の半導体集積回路チップと、を有し、

- 20      電源電圧及びグラウンド電圧の供給に割当てられる動作電源用の外部接続電極の配置にはモジュール基板上で粗密があり、電力消費の大きな半導体集積回路チップの裏面ほど前記動作電源用に割当てられた外部接続電極が密に配置されて成るものであることを特徴とするマルチチップモジュール。

- 1 6 . 一方の面に複数個の外部接続電極が配列されたモジュール基板の他方の面に実装パターンが形成され、

- 25      前記実装パターンは、高さ寸法のほぼ等しい半導体集積回路チップのグループ毎にそれら半導体集積回路チップを一行に並べて実装可能なグループ化されたパターンを有し、

前記グループ化されたパターン毎に貼り付けられた異方導電性フィルムを介して実装パターンと半導体集積回路チップのバンプ電極とが導電接続されて成るものであることを特徴とする半導体モジュール。

- 5      17. 配線層を有するモジュール基板の一方の面には前記配線層に接続された多数の外部接続電極が配列され、モジュール基板の他方の面には前記配線層に接続されたデータプロセッサチップと複数個のメモリチップが実装され、

10      前記メモリチップは夫々一列に配置された電極パッドを有し、電極パッドの配列方向と交差する方向に複数個のメモリチップが配列され、夫々のメモリチップにアドレスを供給する配線層はメモリチップの配列方向に延在して順次アドレス入力用の電極パッドに結合されて成るものであることを特徴とする半導体モジュール。

- 15      18. 第1の半導体装置と前記第1の半導体装置よりも高速動作可能な第2の半導体装置とが配線基板のバスに共通接続状態で実装された電子回路であって、

20      前記第2の半導体装置は、外部接続電極を介して前記バスに共通接続されるデータプロセッサチップ及びメモリチップを多層配線基板に有し、前記データプロセッサチップ及びメモリチップから前記外部接続電極に至る配線経路にバッファ回路を有し、

前記バッファ回路は、前記データプロセッサチップによるメモリチップのアクセスに際して前記バスからの入力を遮断するものであることを特徴とする電子回路。

- 25      19. 前記バッファ回路は、前記配線経路に夫々挿入されたアドレス出力バッファ、制御信号出力バッファ、及びデータ入出力バッファであり、



前記データ入出力バッファは前記データプロセッサチップによるメモリチップのアクセス指示に応答して高インピーダンス状態に制御される、ものであることを特徴とする請求の範囲第 18 項記載の電子回路。

- 5      20. 前記バッファ回路は、前記配線経路に夫々挿入されたアドレス入出力バッファ、制御信号入出力バッファ、及びデータ入出力バッファであり、

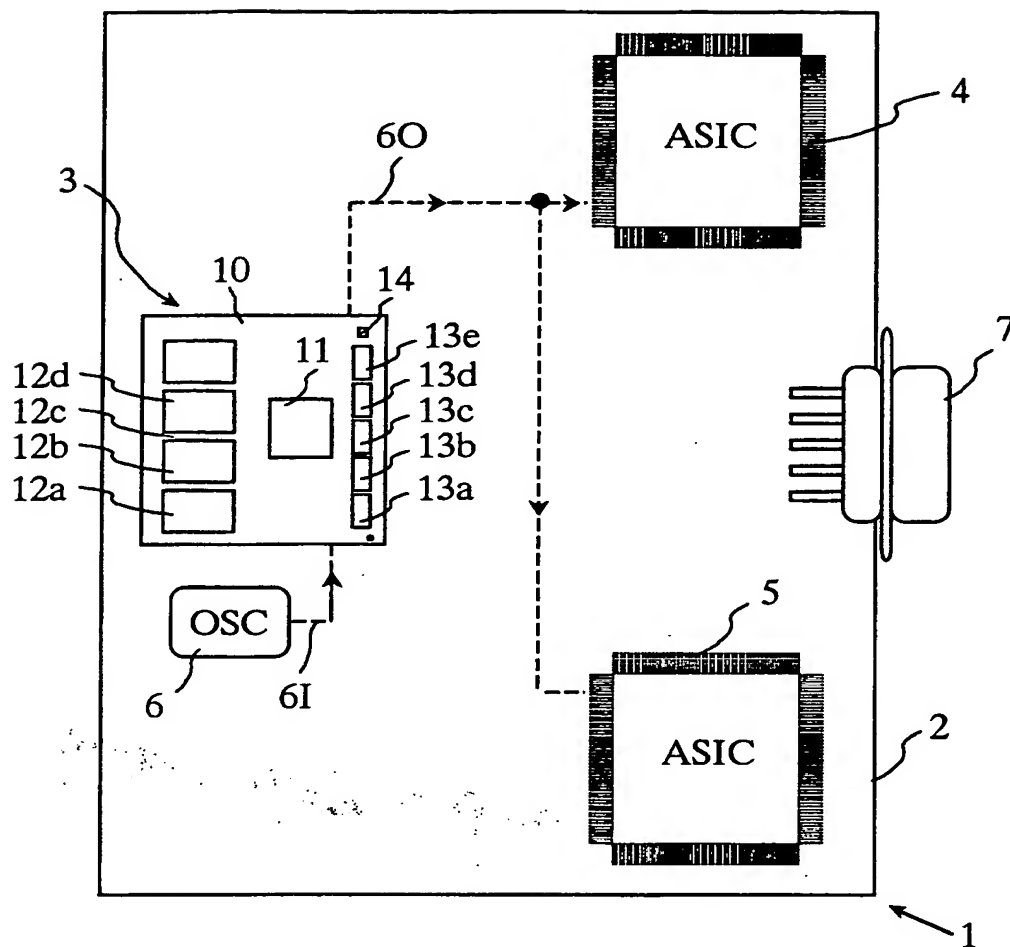
- 10      前記アドレス入出力バッファ、制御信号入出力バッファ、及びデータ入出力バッファは前記データプロセッサチップによるメモリチップのアクセス指示に応答して高インピーダンス状態に制御される、ものであることを特徴とする請求の範囲第 18 項記載の電子回路。

21. アドレス及びデータ用に割当てられる外部接続電極は前記バッファ回路が搭載される領域の裏面に配置されて成るものであることを特徴とする請求の範囲第 20 項記載の電子回路。

- 15      22. 前記メモリチップが搭載される領域の裏面には電源電圧及びグラウンド電圧の供給に割当てられる外部接続電極が相対的に多く配置されて成るものであることを特徴とする請求の範囲第 21 項記載の電子回路。

**This Page Blank (usp10)**

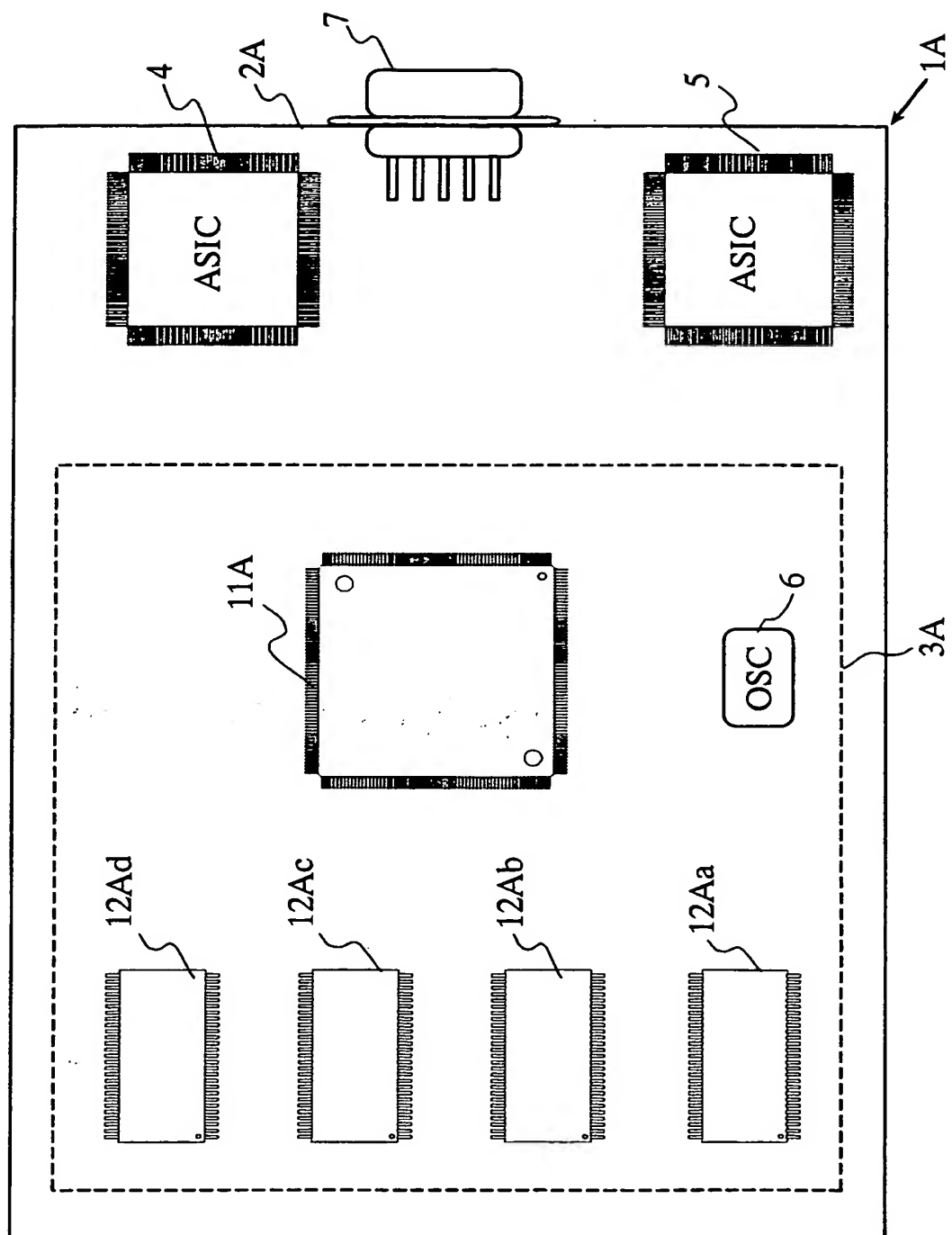
第1図



This Page Blank (uspto)

2 / 18

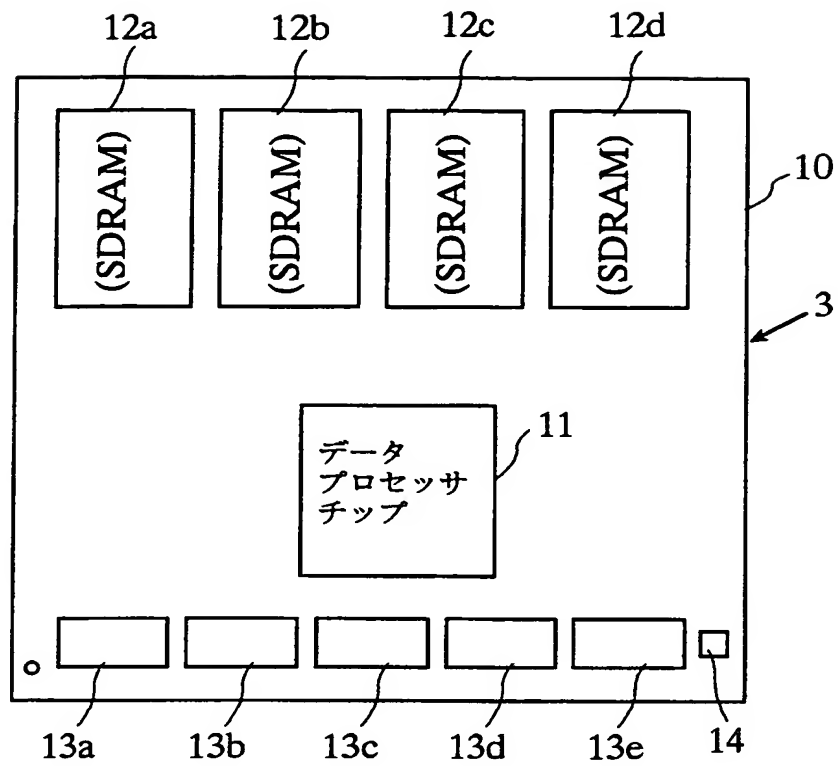
第2図



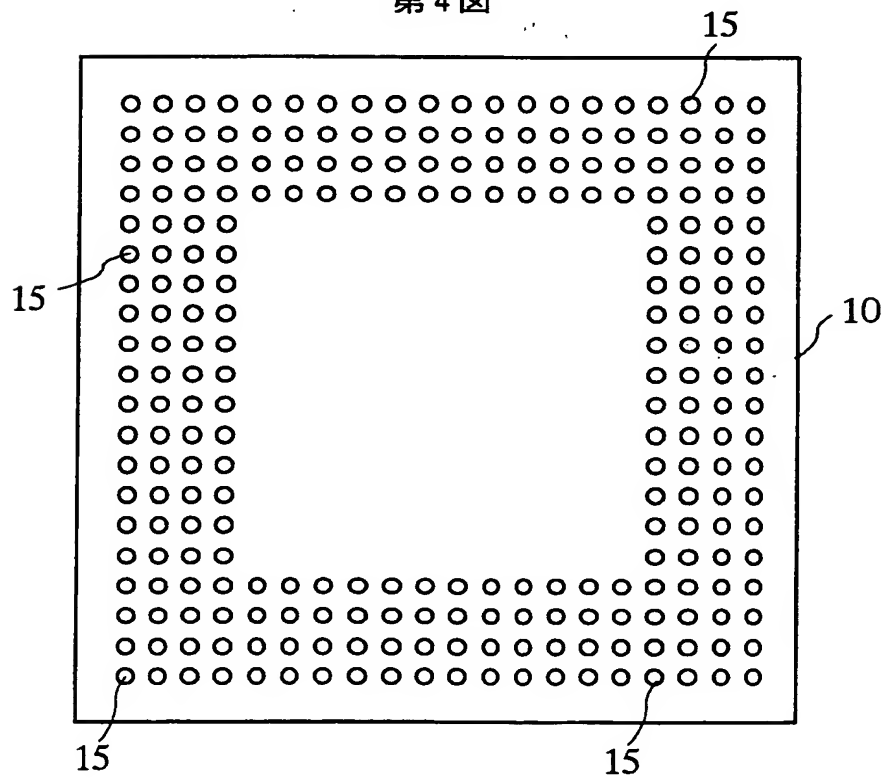
This Page Blank (uspto)

3 / 18

第3図



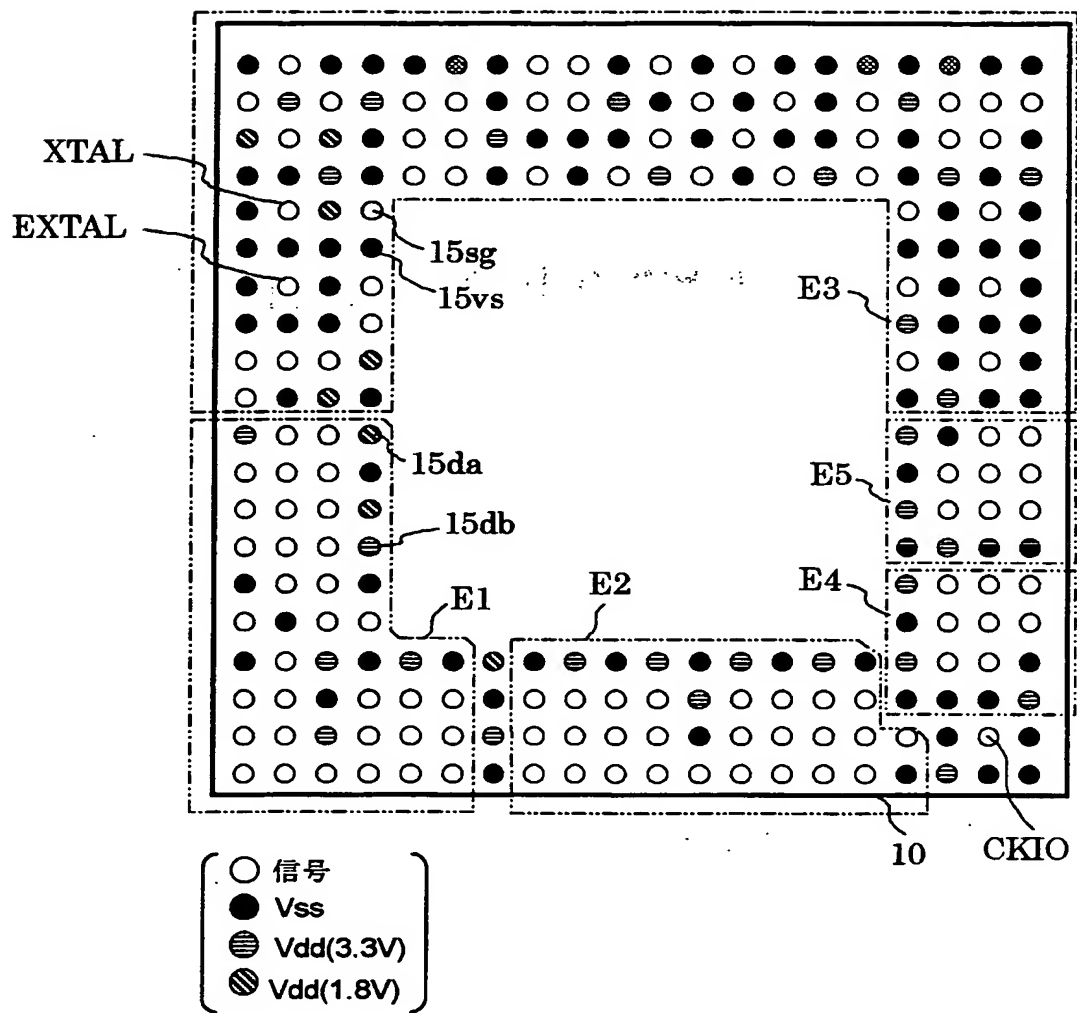
第4図



.this Page Blank (uspto)

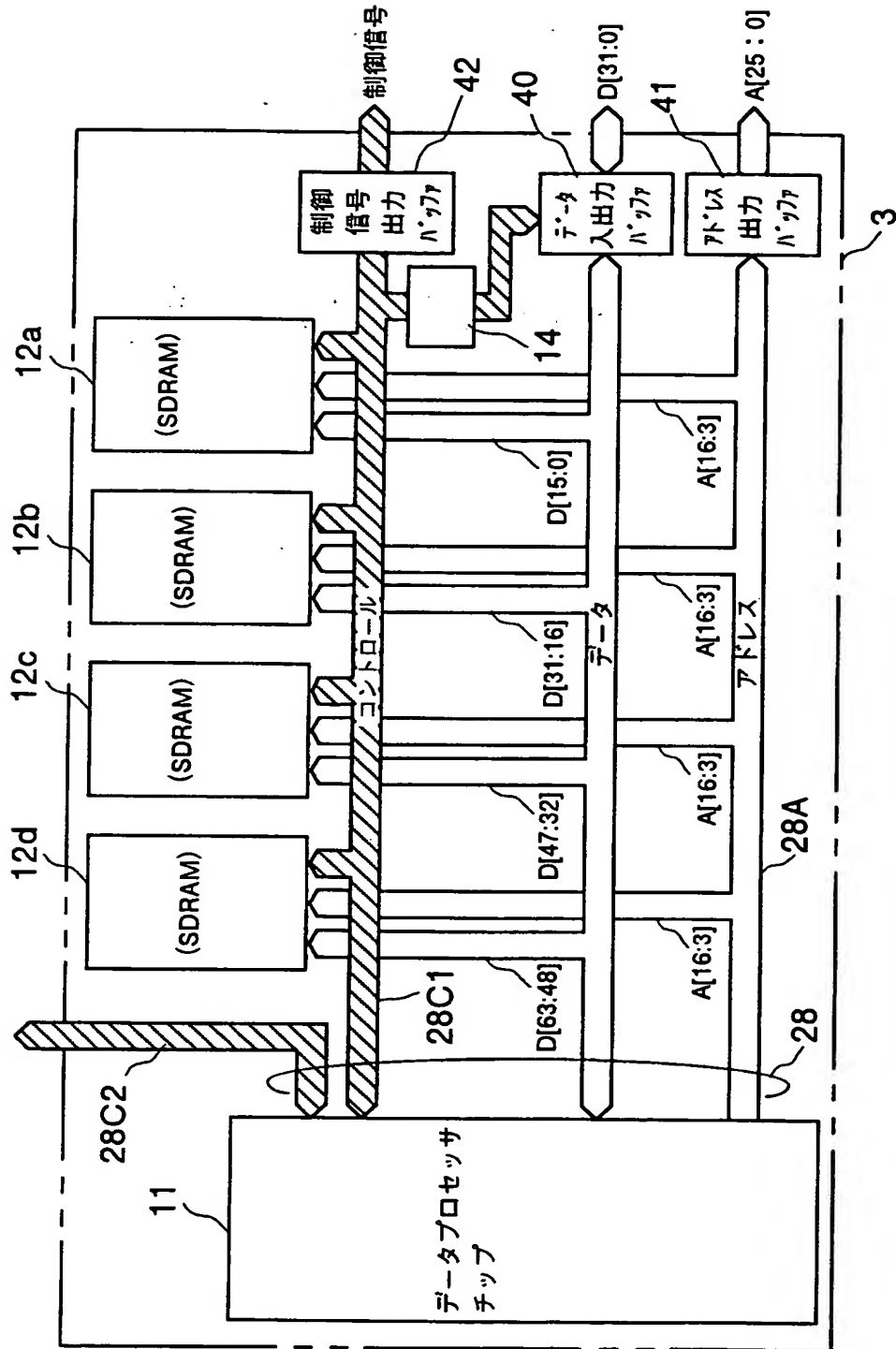


第5図



This Page Blank (uspto)

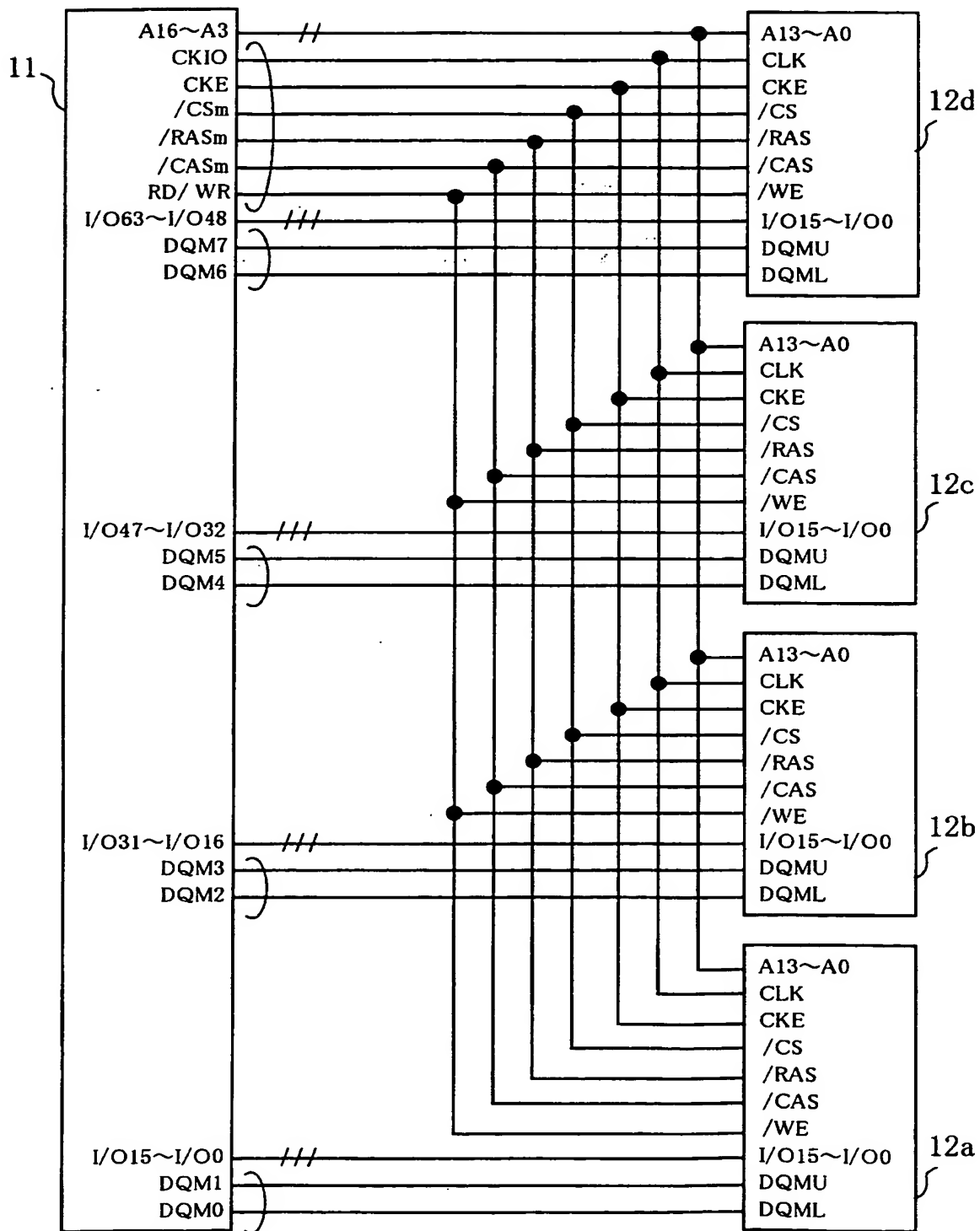
第6図



This Page Blank (uspto)

6 / 18

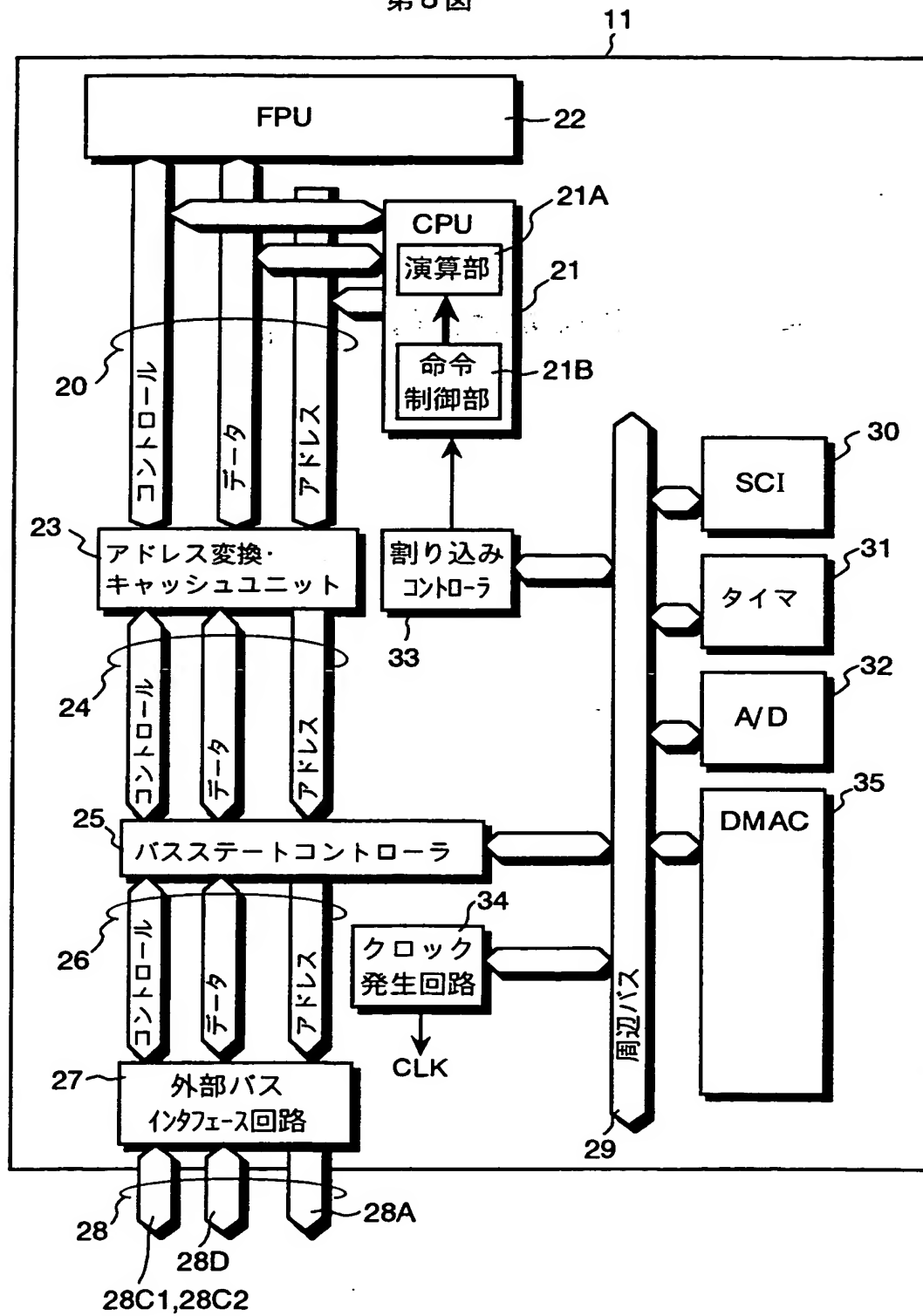
第7図



This Page Blank (uspto)

7/18

第8図

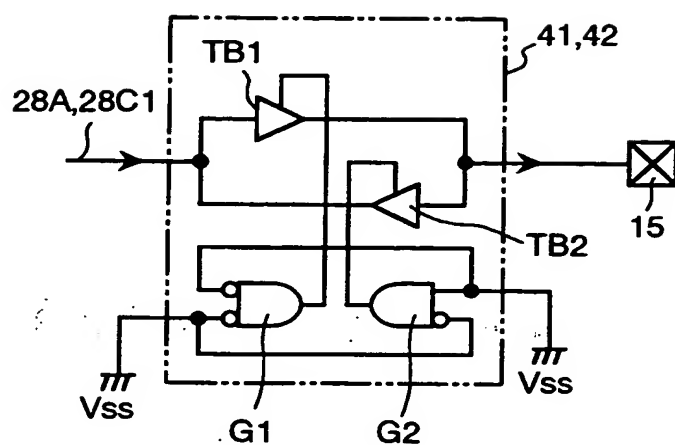


This Page Blank (uspto)

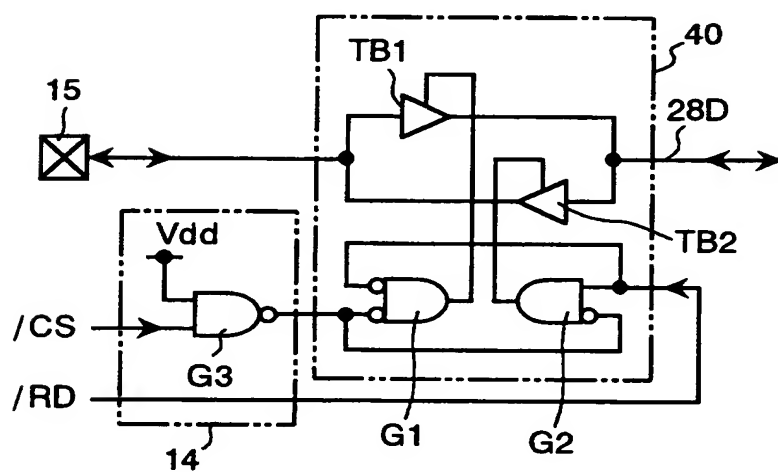


8 / 18

第9図



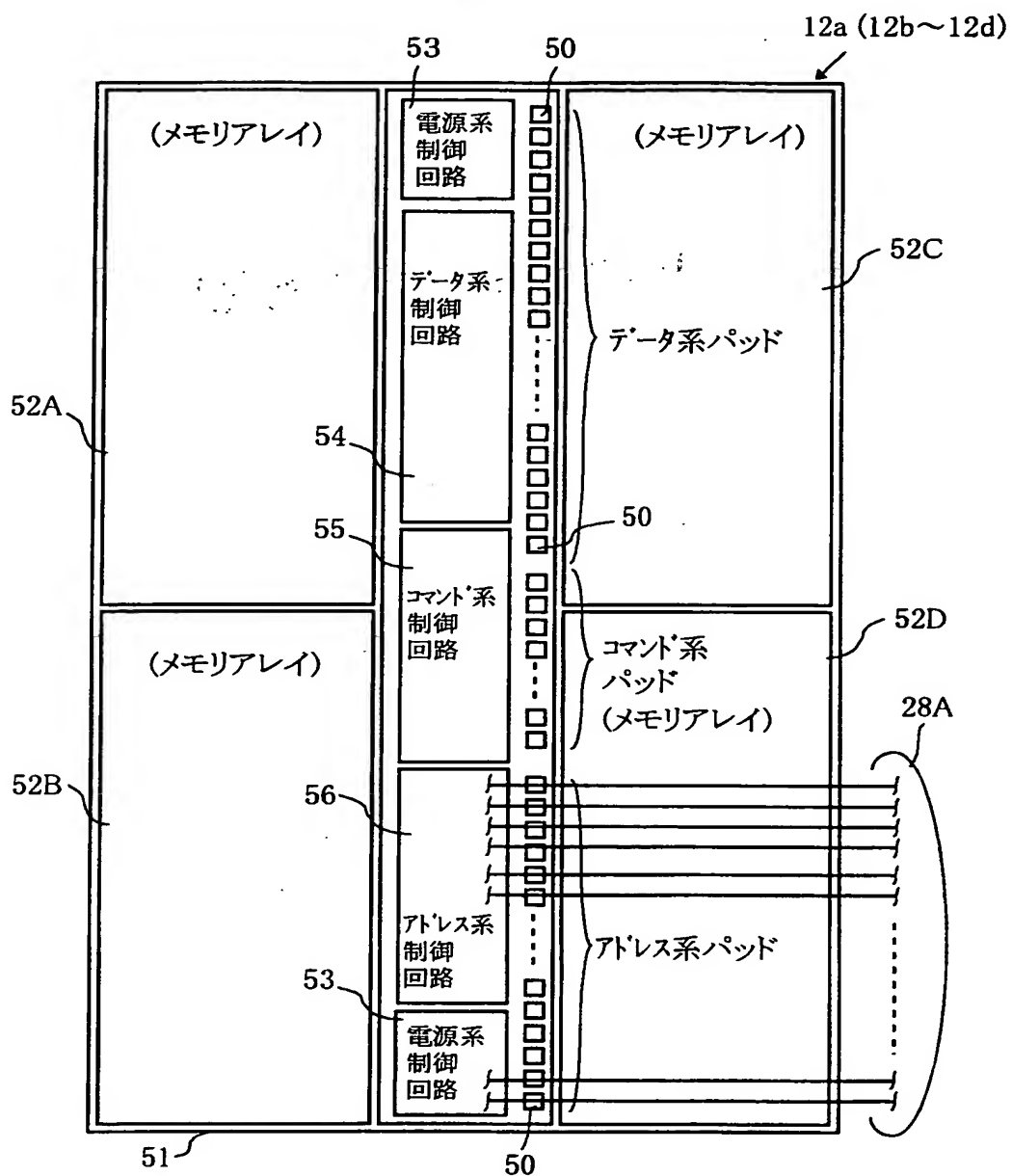
第10図



This Page Blank (uspto)

9 / 18

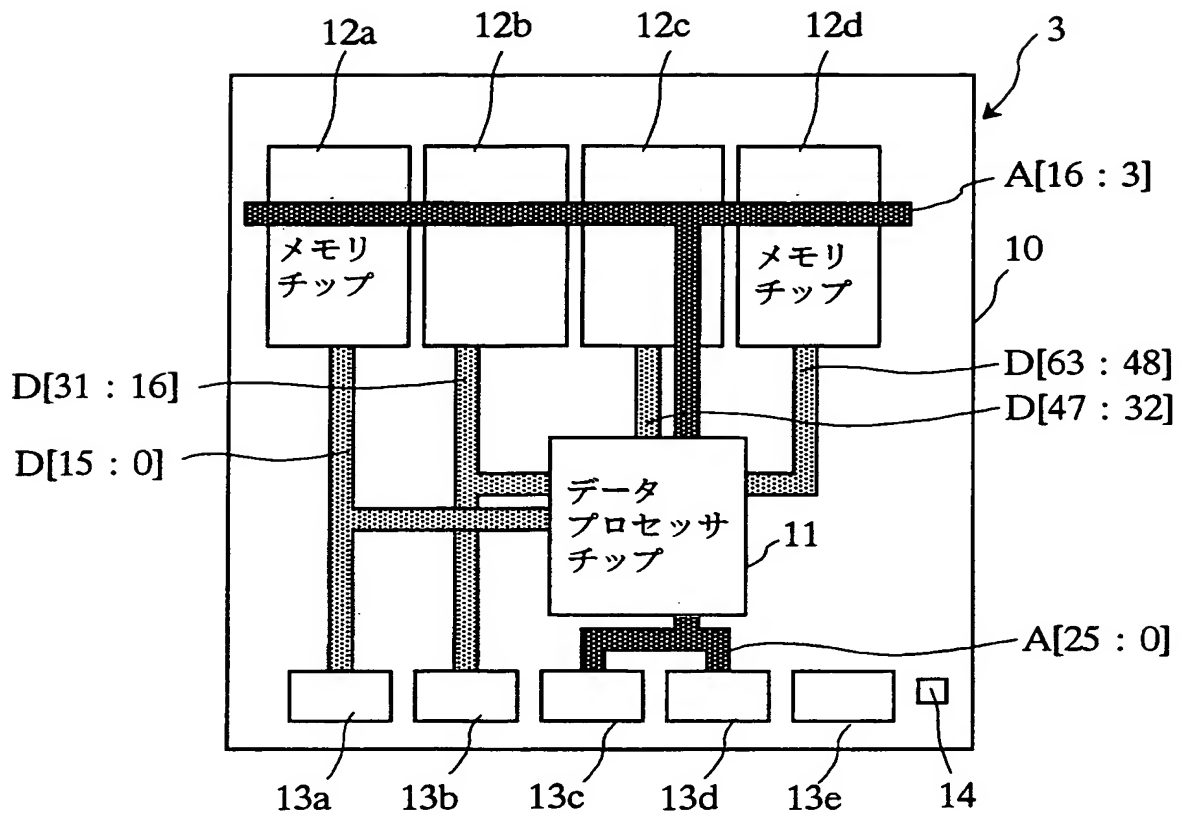
第 11 図



This Page Blank (uspto)

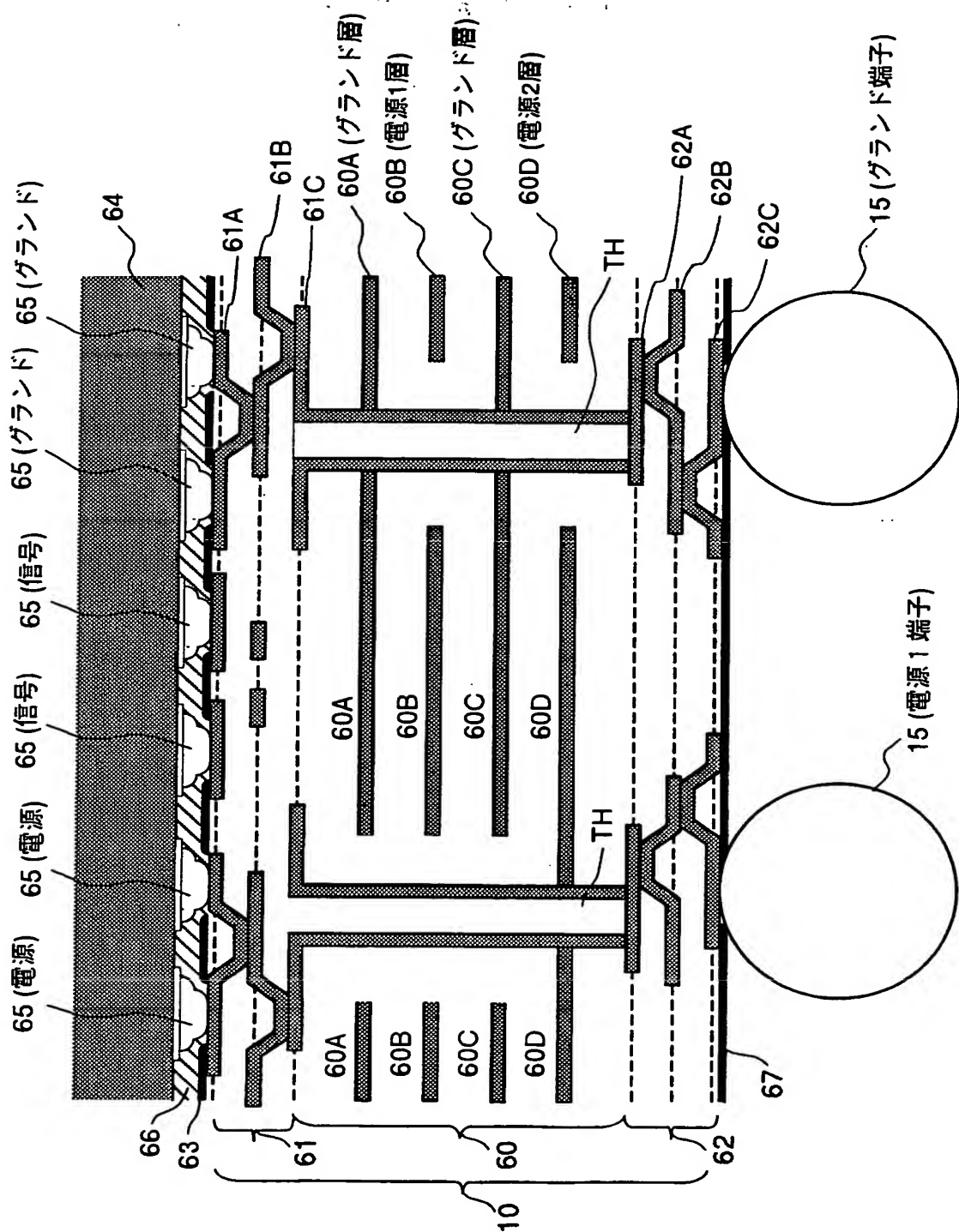
10/18

第12図



This Page Blank (uspto)

第13図

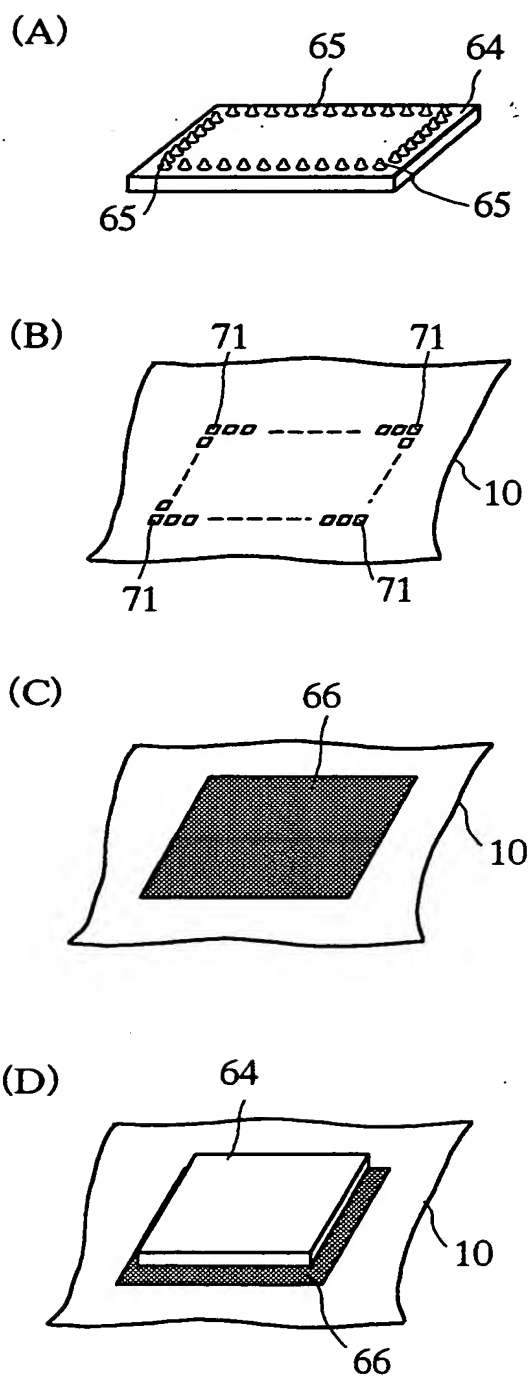


This Page Blank (uspto)



12 / 18

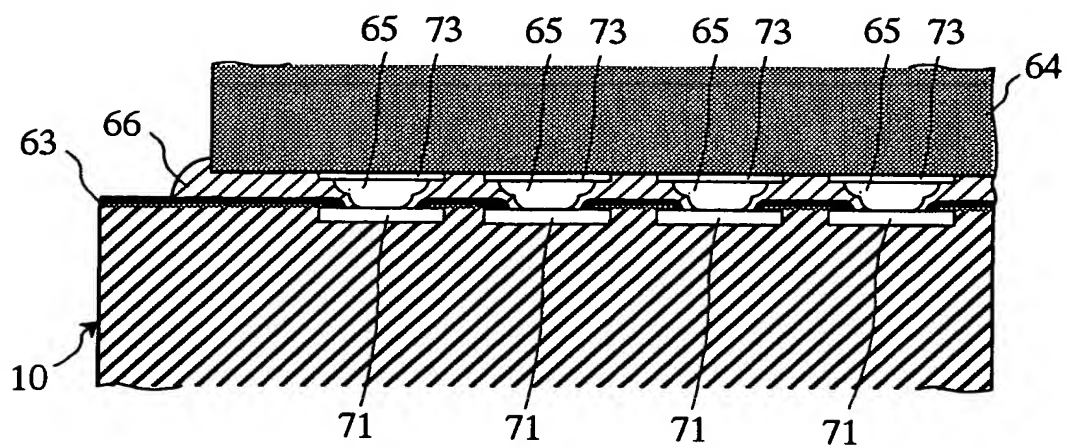
第14図



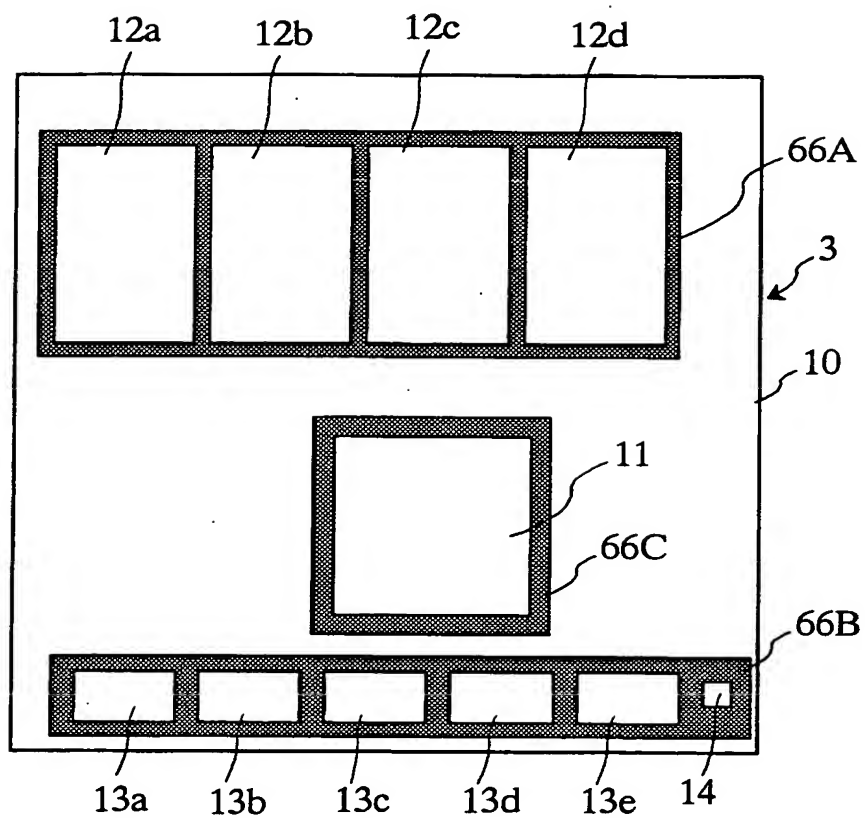
***This Page Blank (uspto)***

13/18

第15図



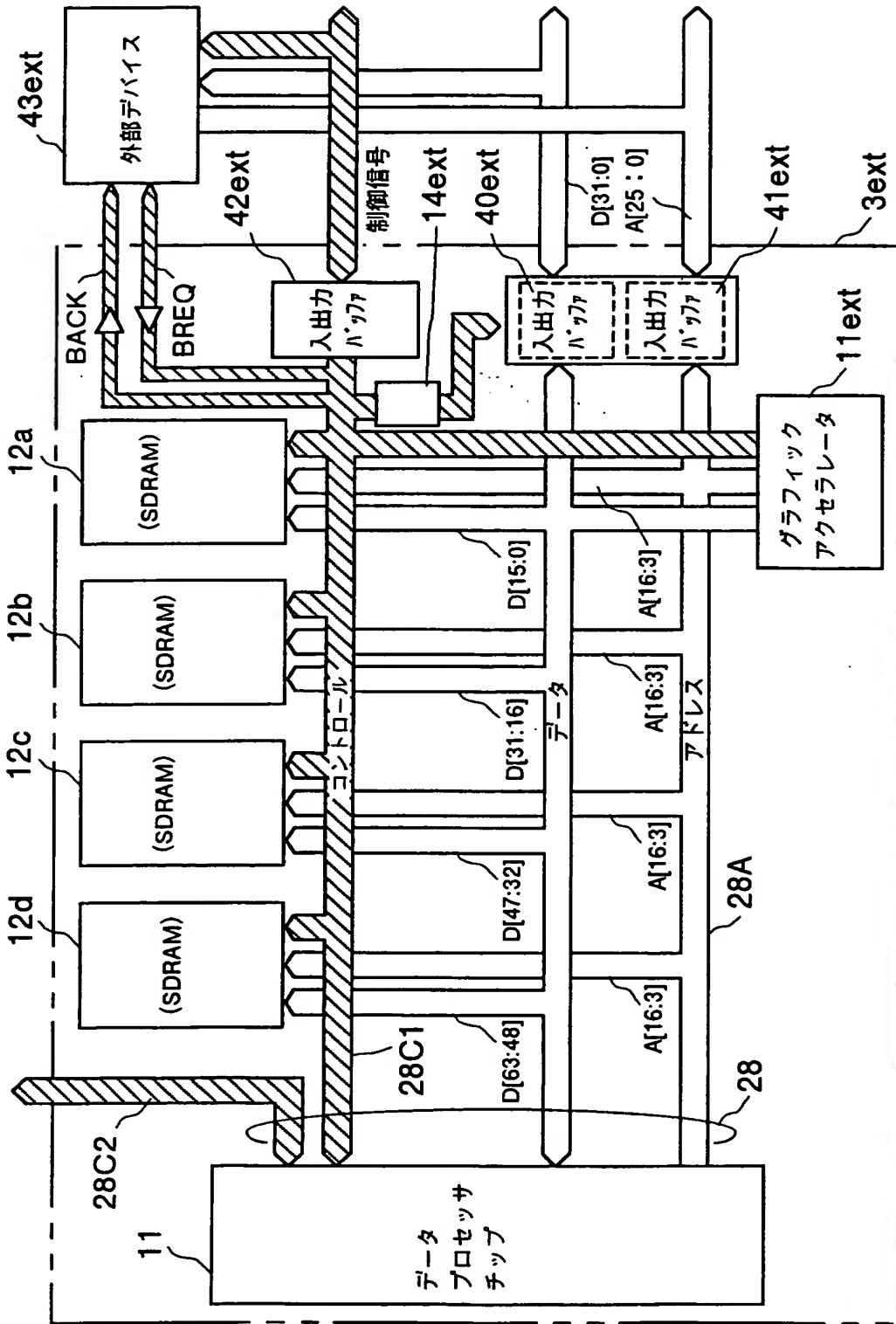
第16図



THIS PAGE BLANK (USPTO)

14 / 18

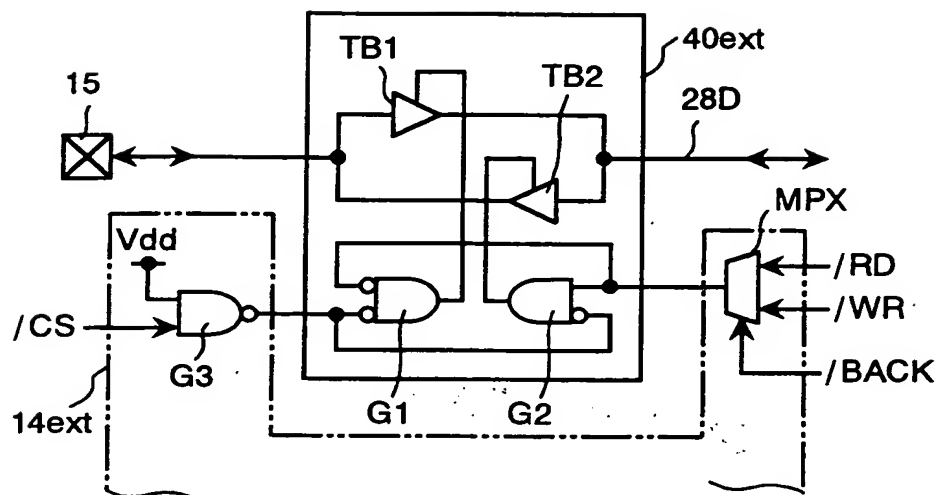
第17図



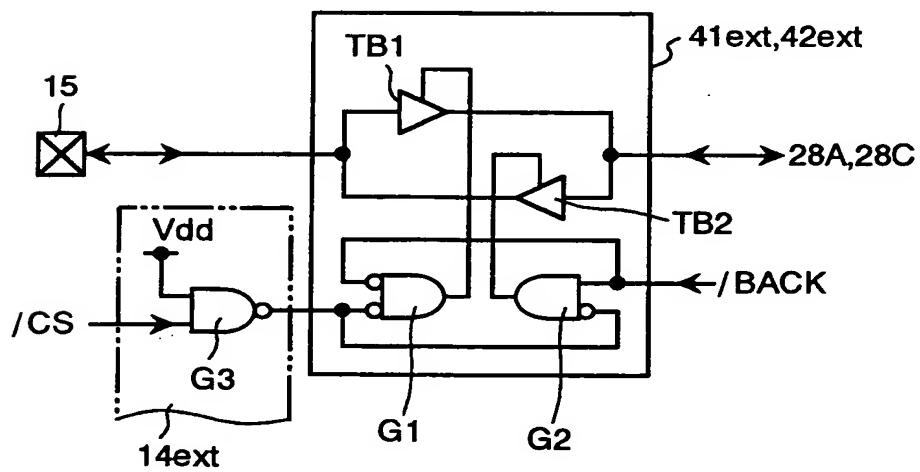
This Page Blank (uspto)

15/18

第18図



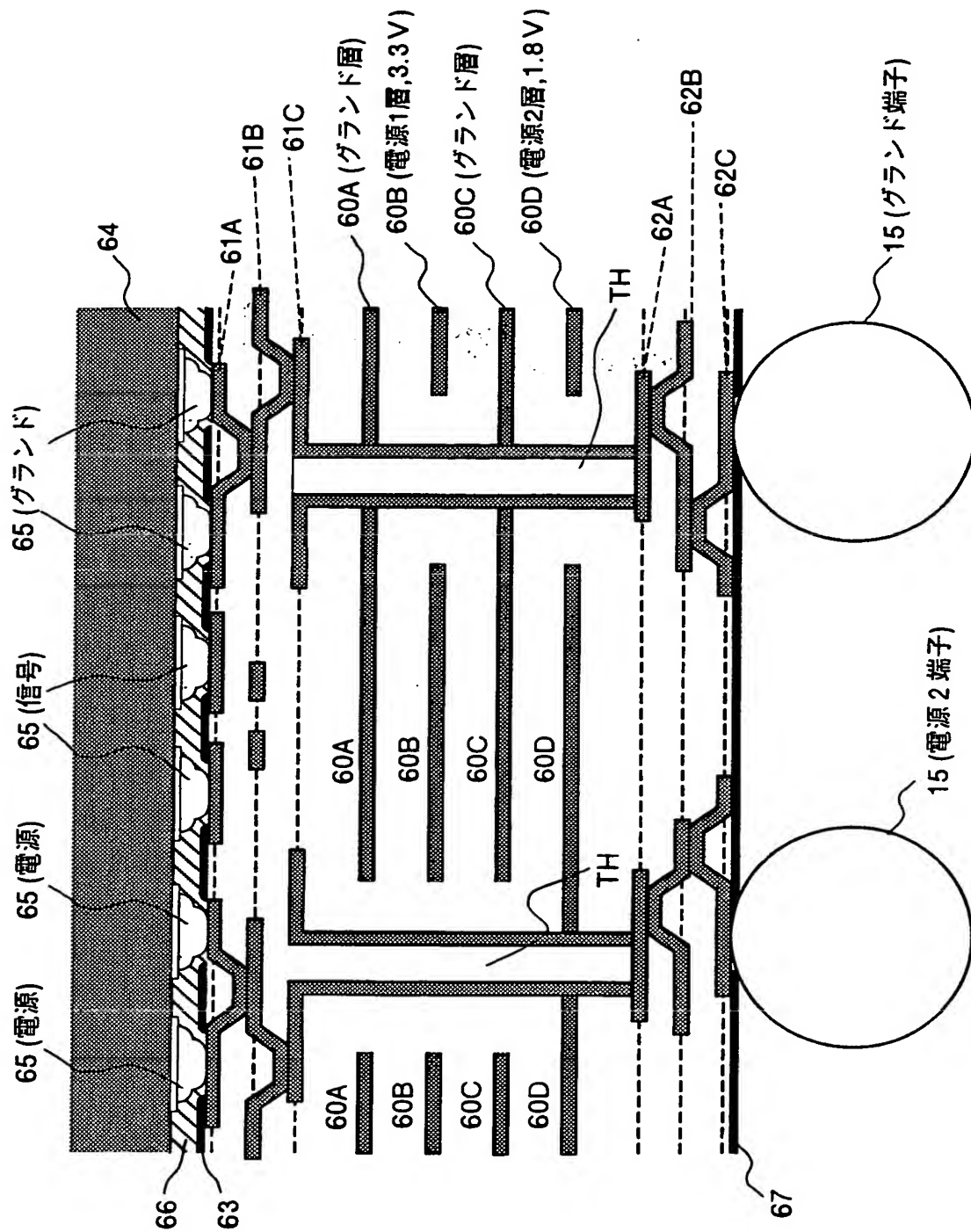
第19図



This Page Blank (uspto)

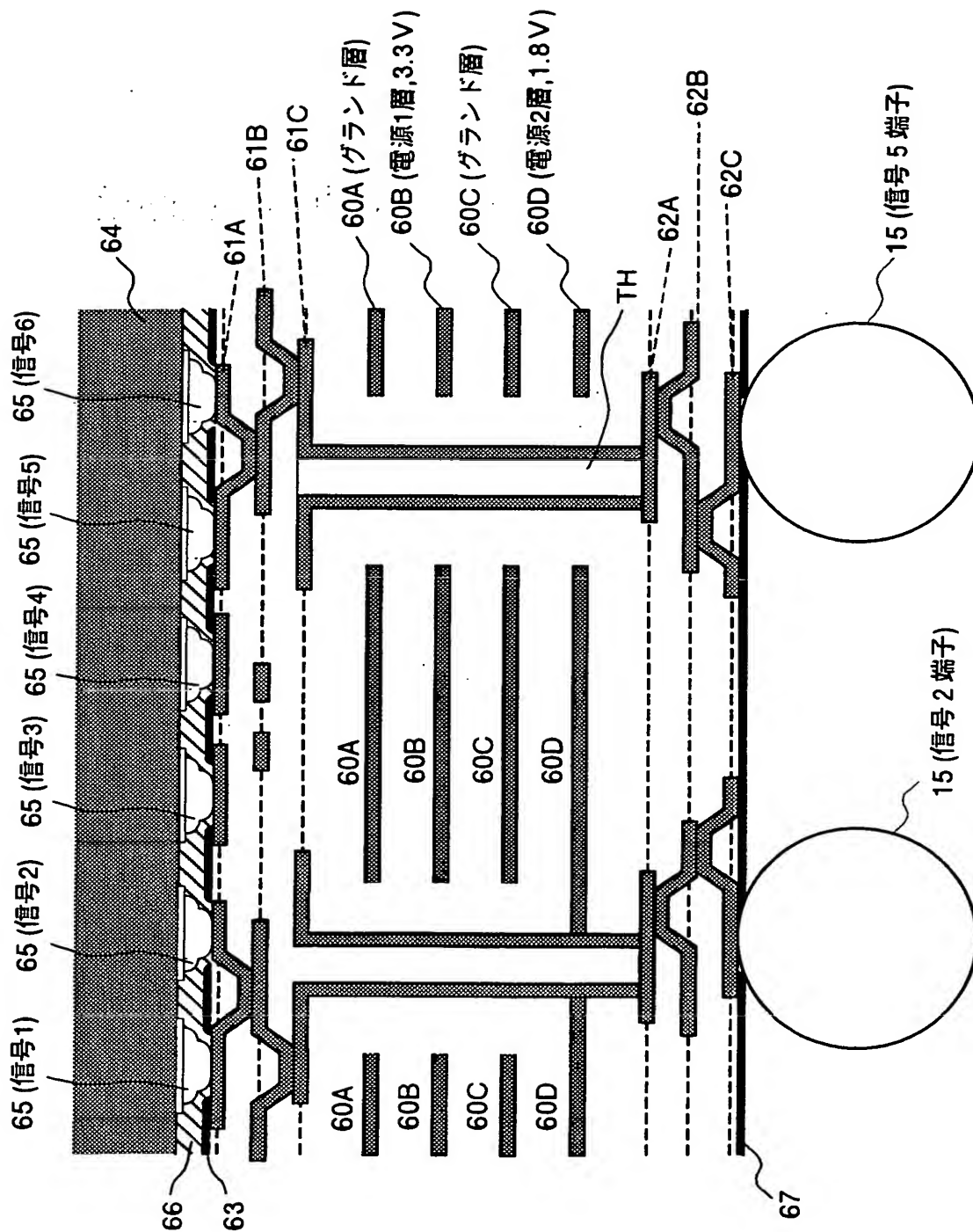


第20図



This Page Blank (uspto)

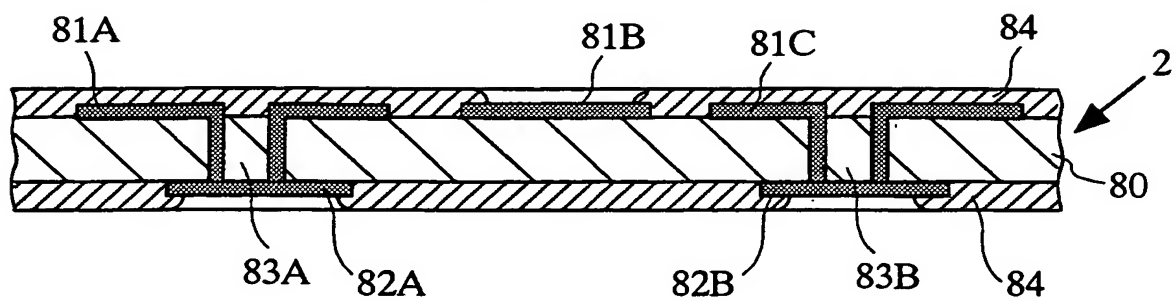
第21図



**This Page Blank (uspto)**

18 / 18

第 2 2 図



**This Page Blank (uspto)**